



概述

GYC5542 是一款 16 位无缓冲电压输出数模转换器 (DAC)。采用 2.7V ~ 5.5V 单电源供电，可在全温度范围内保证输出电压的单调性。无缓冲器的设计，使得 DAC 具有极低的功耗，仅有 290 μ A 的静态电流，以及 ± 0.5 LSB 的低失调误差。

GYC5542 支持 2V ~ V_{DD} 的基准电压输入范围。电压输出摆幅为 0V ~ V_{REF} 。GYC5542 内部集成了精确匹配的电阻串，通过与片外精密运算放大器配合，可在 R_{FB} 上产生最大 $\pm V_{REF}$ 摆幅的双极性电压输出。

器件采用 SPI/MICROWIRE 兼容型三线串行接口，能够以高达 50MHz 的时钟速率运行，并可直接与光耦合器相连，以满足特定应用的需求。上电时，复位电路将 GYC5542 输出至中间电平。

特性说明

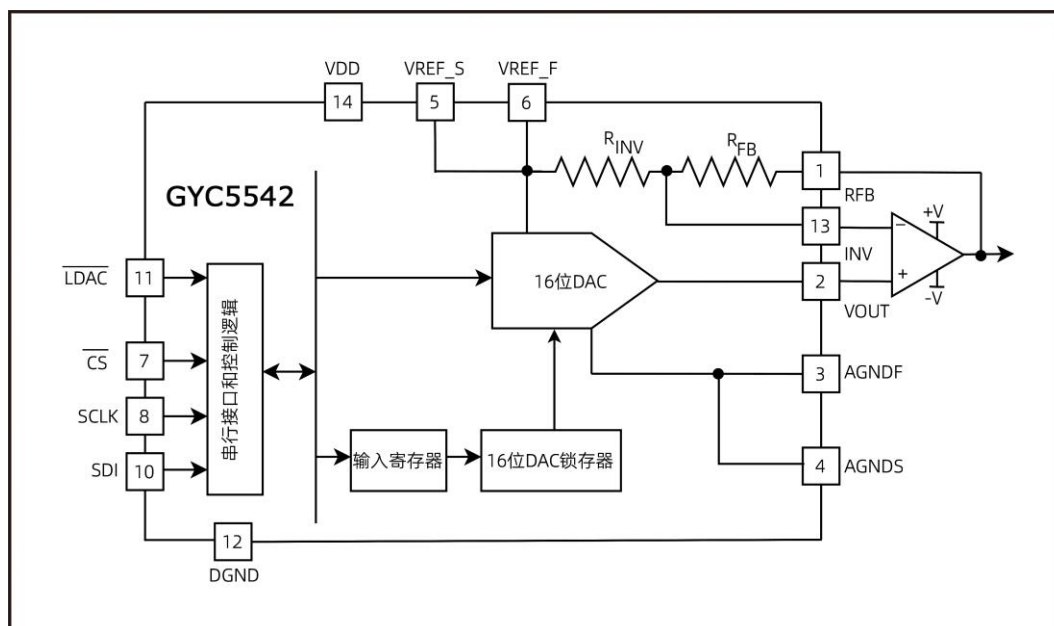
- 单电源供电：2.7V ~ 5.5V
- 低电源电流：290 μ A
- INL 误差： ± 0.5 LSB
- 低毛刺脉冲：1nV s
- 短建立时间：1 μ s
- 全温范围内保证输出电压单调性
- 电压输出可直接驱动 60k Ω 负载
- 50MHz SPI/QSPI/MICROWIRE 兼容型串行接口
- 上电复位将 DAC 输出至中间电平
- 补偿基准源电流

应用领域

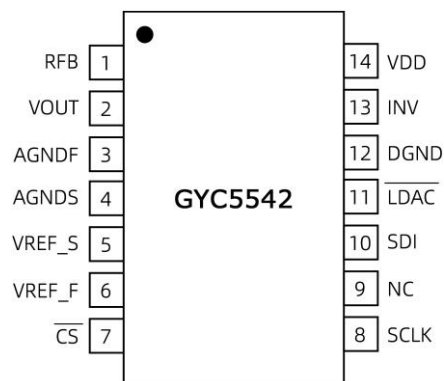
- 激光振镜控制器
- 高精度仪器仪表校准电路
- 过程控制和工业自动化
- 自动测试设备
- 精密信号源

技术说明

内部功能框图



引脚图



SOP14 引脚图

引脚定义

GYC5542 引出端功能

引脚序号	引脚名称	引脚类型	说明
1	R _{FB}	A	反馈电阻。与外部放大器的输出相连接，输出范围为-V _{REF} ~ +V _{REF}
2	V _{OUT}	AO	电压输出。范围为0V ~ V _{REF}
3	AGNDF	GND	模拟地（强制接地）
4	AGNDS	GND	模拟地（感测接地）
5	V _{REF_S}	A	基准电压输入（感测）。与外部电压基准相连接
6	V _{REF_F}	A	基准电压输入（强制）。与外部电压基准相连接
7	$\overline{\text{CS}}$	DI	串行接口片选。当 $\overline{\text{CS}}$ 位于低电平时，数据通过SDI串行输入。当 $\overline{\text{CS}}$ 变为高电平时，16位输入被锁存，并更新DAC输出电压
8	V _{DD}	PWR	电源输入。范围为3V ~ 5V

引脚序号	引脚名称	引脚类型	说明
9	INV	A	电阻器中心抽头。与外部放大器的反向输入相连接
10	DGND	GND	数字地
11	$\overline{\text{LDAC}}$	DI	DAC输入数据加载使能信号。正常工作时需要保持该信号恒定接低
12	SDI	DI	串行数据输入。数据在SCLK的上升沿被锁存到输入寄存器中
13	NC	—	浮空，无内部连接
14	SCLK	DI	串行接口时钟。兼容CMOS和TTL两种逻辑电平

绝对最大额定值

$V_{DD} \sim \text{GND}$		-0.3V ~ +7V
数字输入电压 ~ DGND		-0.3V ~ $V_{DD}+0.3V$
$V_{OUT} \sim \text{AGND}$		-0.3V ~ $V_{DD}+0.3V$
AGND、AGNDF、AGNDS、DGND		-0.3V ~ +0.3V
θ_{JA}		66.6°C/W
工作温度		-55°C ~ +125°C
存储温度		-65°C ~ +150°C
结温		150°C

注1：使用本表以外的数值可能会对芯片造成永久性损坏。长时间暴露于本表数值下可能会影响芯片的稳定性和使用寿命。

注2：持续在超出指定结温下工作可能会影响芯片稳定性。

参数列表

默认测试条件： $V_{DD} = 3V$ 或 $5V$ 、 $V_{REF} = 2.5V$ 、 $C_L = 10pF$ 、 $\text{GND} = 0$ 、 $R_L = \infty$ 、 $T_A = -55^\circ\text{C} \sim +125^\circ\text{C}$ 。

参数	测试条件	最小	典型	最大	单位
静态性能					
分辨率	—	16	—	—	Bits
DNL	—	—	± 0.5	—	LSB
INL	—	—	± 0.5	—	LSB
0 码失调误差 (ZSE)	—	—	± 1	—	LSB
	$T_A = 25^\circ\text{C}$	—	± 0.5	—	LSB
0 码失调误差温漂	—	—	± 0.05	—	ppm/°C
增益误差 (GE)	—	—	± 1	—	LSB
	$T_A = 25^\circ\text{C}$	—	± 0.5	—	LSB
增益误差温漂	—	—	± 0.08	—	ppm/°C
输出阻抗 (R_{OUT})	$T_A = 25^\circ\text{C}$	—	6	—	k Ω
电阻匹配 (R_{FB}/R_{INV})	—	—	1	—	—
双极性匹配误差 ^[1]	—	—	± 0.0015	± 0.0076	%
双极性零点失调误差	—	—	± 0.25	—	LSB
双极性零点失调误差温漂	—	—	0.05	—	ppm/°C

参数	测试条件	最小	典型	最大	单位
PSRR	$\Delta V_{DD} = \pm 10\%$	–	0.5	–	LSB
动态性能					
压摆率	测试从10% ~ 90%， $T_A = 25^\circ\text{C}$	–	25	–	V/ μs
建立时间	建立误差为1/2LSB， $T_A = 25^\circ\text{C}$	–	1	–	μs
毛刺脉冲	主进位改变1LSB， $T_A = 25^\circ\text{C}$	–	1	–	nV•s
数字馈通	CODE = 0x0000，NCS = V_{DD} ， SCLK/DIN = 0V ~ V_{DD} ， $T_A = 25^\circ\text{C}$	–	0.2	–	nV•s
输出电压噪声密度	$T_A = 25^\circ\text{C}$	–	18	–	nV/ $\sqrt{\text{Hz}}$
基准输入					
电压范围	–	2	–	V_{DD}	V
阻抗	–	8.3	12.5	–	k Ω
-3dB 带宽	CODE = 0xFFFF， $T_A = 25^\circ\text{C}$	–	1.3	–	MHz
输入馈通	CODE = 0x0000， $T_A = 25^\circ\text{C}$ $V_{REF} = 1V_{P-P}@100\text{kHz}$	–	1	–	mV _{P-P}
SNR	$T_A = 25^\circ\text{C}$	–	92	–	dB
输入电容	CODE = 0x0000， $T_A = 25^\circ\text{C}$	–	110	–	pF
	CODE = 0xFFFF， $T_A = 25^\circ\text{C}$	–	125	–	pF
数字输入					
逻辑输入高电平	$V_{DD} = 3.6\text{V} \sim 5.5\text{V}$	2.4	–	–	V
	$V_{DD} = 2.7\text{V} \sim 3.6\text{V}$	2	–	–	V
逻辑输入低电平	$V_{DD} = 4.5\text{V} \sim 5.5\text{V}$	–	–	0.8	V
	$V_{DD} = 2.7\text{V} \sim 4.5\text{V}$	–	–	0.6	V
电流	$V_{IN} = \text{GND} \sim V_{DD}$	–	–	± 1	μA
电容	–	–	–	10	pF
迟滞电压	$T_A = 25^\circ\text{C}$	–	0.2	–	V
电源					
V_{DD}	–	2.7	–	5.5	V
I_{DD}	$V_{DD} = 3\text{V}$	–	205	–	μA
	$V_{DD} = 5\text{V}$	–	290	–	μA
功耗	数字输入= 0V或 V_{DD} ， $V_{DD} = 5\text{V}$ $T_A = 25^\circ\text{C}$	–	0.6	–	mW
	数字输入= 0V或 V_{DD} ， $V_{DD} = 3\text{V}$ $T_A = 25^\circ\text{C}$	–	0.15	–	mW

注^[1]：不代表电阻自身匹配精度，该数值通过测量 GYC5542 双极性输出模式下的满量程误差和失调误差得到。

时序规格

参数	最小	典型	最大	单位	描述
$t_{DISCKST}$	10	–	–	ns	DIN 到 SCLK 上升沿的建立时间
$t_{DISCKHD}$	0	–	–	ns	DIN 到 SCLK 上升沿的保持时间
t_{SCKHW}	9	–	–	ns	SCLK 高电平脉冲宽度
t_{SCKLW}	9	–	–	ns	SCLK 低电平脉冲宽度
t_{CSHW}	40	120	–	ns	$\overline{\text{CS}}$ 高电平脉冲宽度

参数	最小	典型	最大	单位	描述
$t_{SCKCSHD}$	8	—	—	ns	LSB SCLK 上升沿到 $\overline{CS}$ 高电平的保持时间
$t_{CSLSCKST}$	8	—	—	ns	$\overline{CS}$ 低电平到 SCLK 上升沿的建立时间
$t_{CSHSCKST}$	8	—	—	ns	$\overline{CS}$ 高电平到 SCLK 上升沿的建立时间
t_{SCKCYC}	20	23	—	ns	SCLK 周期
—	—	—	3.5	ms	V_{DD} 高电平到 $\overline{CS}$ 低电平（上电延迟）DIST

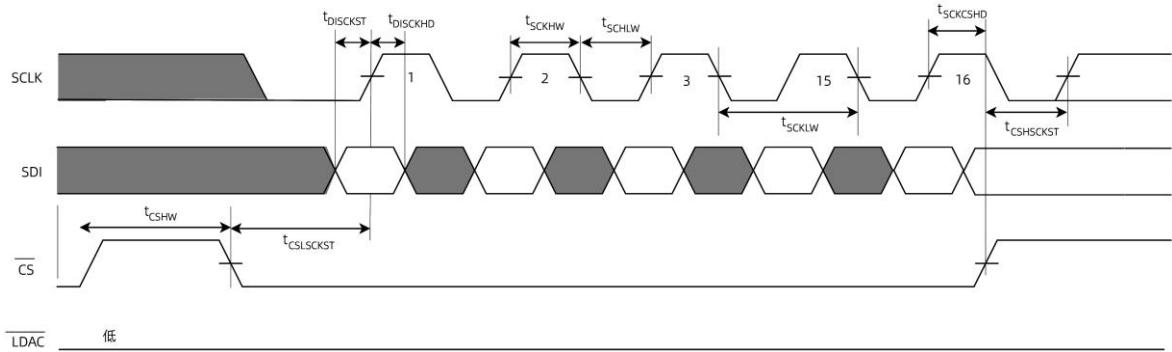
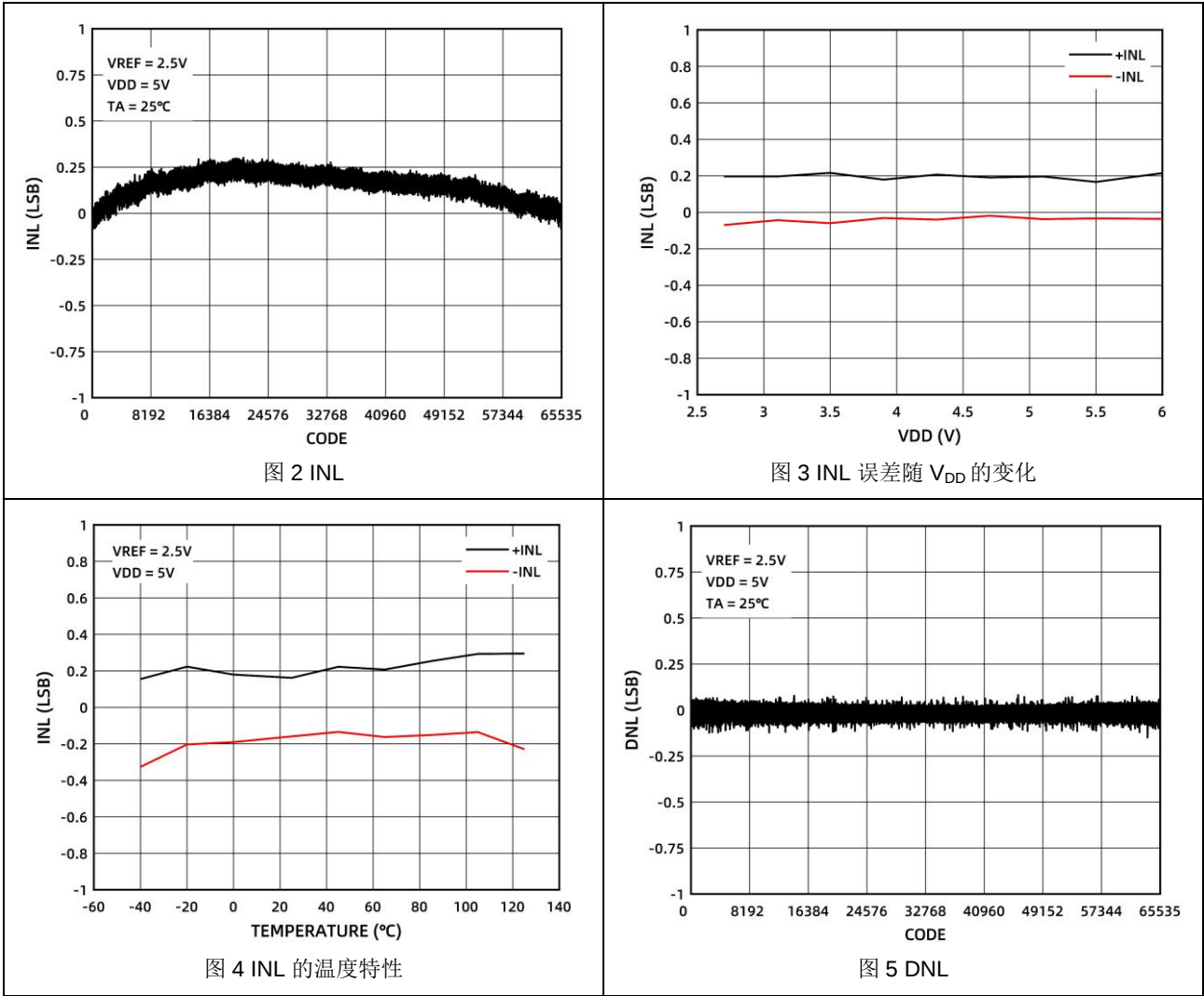


图 1 SPI 时序图

典型特征



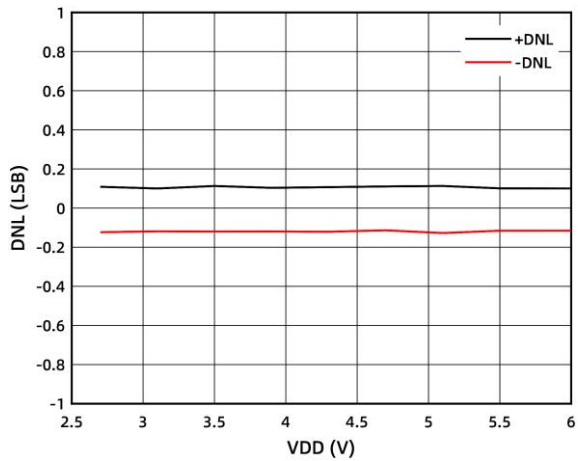


图 6 DNL 随 V_{DD} 的变化

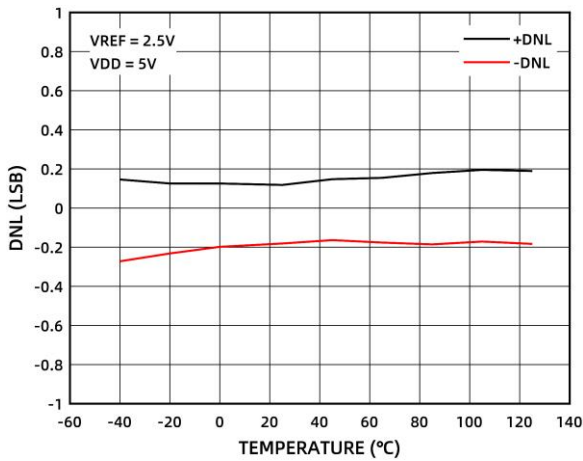


图 7 DNL 的温度特性

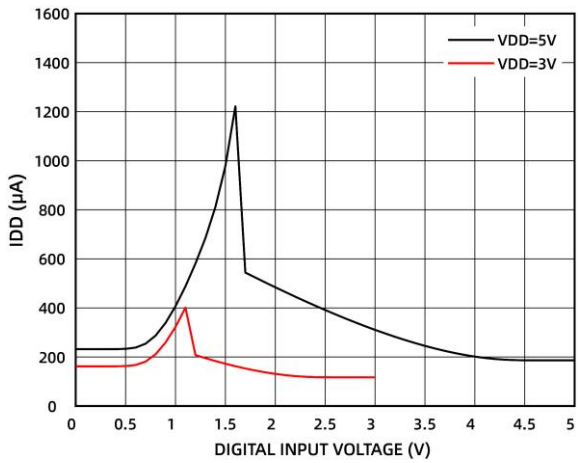


图 8 I_{DD} 随输入电压的变化

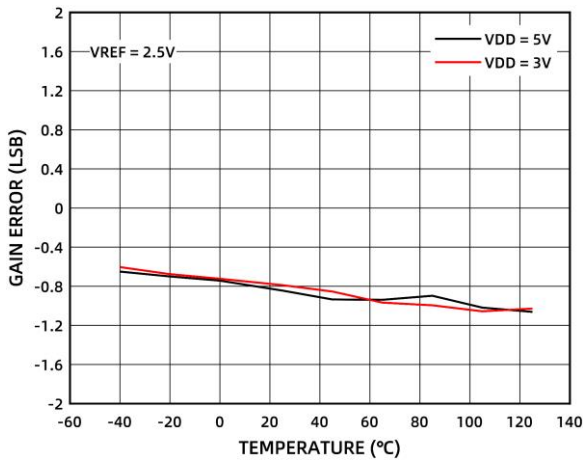


图 9 增益误差的温度特性

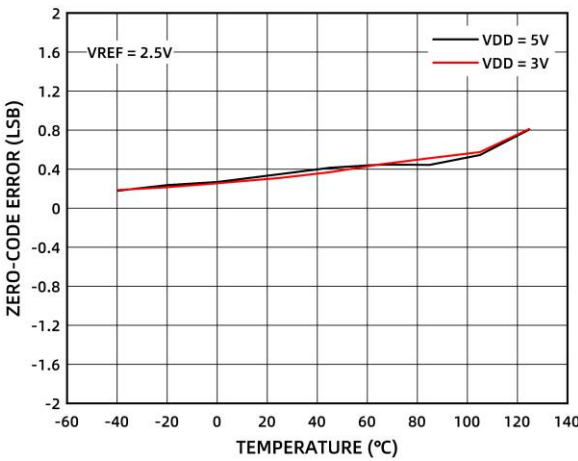


图 10 零码输入误差的温度特性

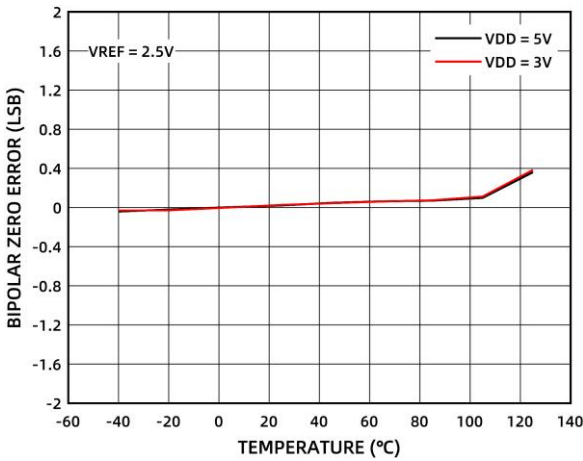
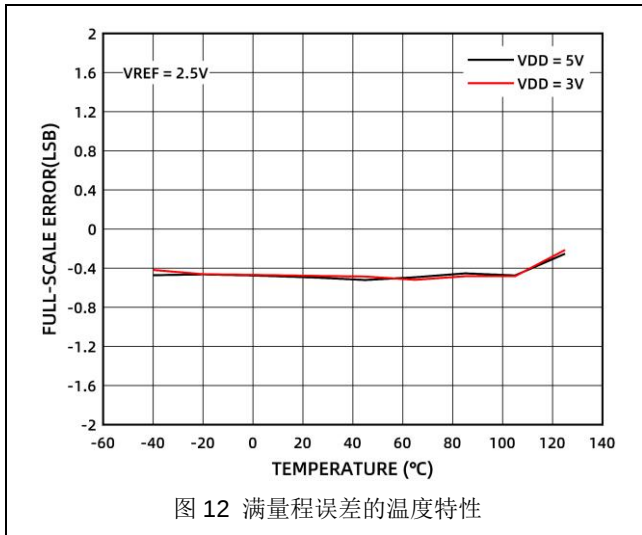


图 11 双极性零码输入误差的温度特性



工作原理

GYC5542 是一款性能优越的 16 位 DAC，其 INL 和 DNL 均小于 $\pm 0.5\text{LSB}$ ，可在全温范围内保证输出电压的单调性。GYC5542 采用单电源供电，电压范围为 $2.7\text{V} \sim 5.5\text{V}$ 。同时支持 $2\text{V} \sim V_{\text{DD}}$ 的外部基准电压输入范围。内置 3 线串行接口可以便捷实现对 GYC5542 的相关配置。

DAC 结构

DAC 结构为采用精准薄膜电阻和 CMOS 开关的梯形电阻网络。GYC5542 对电阻网络做了专门的分组。高四位输入码字经过解码后可控制 15 个相同的电阻支路，其余输入码字则控制低位的电阻支路。当负载电容设置为 10pF 时，主进位翻转产生的毛刺脉冲非常小仅为 1nV s ，相较于同类型的 DAC 结构小了一个数量级。

GYC5542 采用数字校准算法，实现了超低的失调误差和满量程误差，以及超高的线性度。 V_{OUT} 管脚的传递函数为：

$$V_{\text{OUT}} = \left(\frac{k}{2^N} \right) V_{\text{REF}}$$

其中 k 表示二进制 DAC 输入码字的十进制等价整数， N 表示分辨率， V_{REF} 的范围为 $2\text{V} \sim V_{\text{DD}}$ 。

GYC5542 集成了一个精密匹配的电阻对，与一个外部放大器相连接，可以提供最大 $\pm V_{\text{REF}}$ 摆幅的双极性电压输出（参见图 15）。

R_{FB} 管脚的双极性传递函数为（参见表 1）：

$$V_{\text{OUT}} = V_{\text{REF}} \left(\frac{k}{2^{N-1}} - 1 \right)$$

负载对 DAC 输出电压精度的影响

GYC5542 可直接通过 V_{OUT} 管脚输出摆幅为 $\text{GND} \sim V_{\text{REF}}$ 的电压。片内无缓冲器的架构使得 DAC 可提供最低的失调、满量程和线性误差，同时获得最快的建立时间以及最低功耗。但是无缓冲器的架构也限制了 DAC 输出级的驱动能力。GYC5542 可建模为理想电压源串联一个输出电阻 R_{OUT} ， R_{OUT} 典型值为 $6\text{k}\Omega$ （参见图 13）。GYC5542 的线性输出阻抗在驱动中等负载（ $R_{\text{L}} > 60\text{k}\Omega$ ）时，仅增大增益误差，而不会使 INL 或 DNL 变差。负载电阻所引起的增益误差的计算公式为：

$$GE = \frac{-1}{\left(1 + \frac{R_{OUT}}{R_L}\right)}$$

基于 LSB 的公式为：

$$GE = \frac{-65536}{\left(1 + \frac{R_{OUT}}{R_L}\right)} [\text{LSB}]$$

其中 R_{OUT} 具有低温漂（典型值小于 $\pm 50\text{ppm}/^\circ\text{C}$ ），且与 DAC 输入码字无关。 R_{OUT} 的变化范围通常低于 $\pm 20\%$ 。

V_{OUT} 的恒定负载电流 I_L 会产生一个如下失调电压：

$$V_{OFFSET} = -I_L \times R_{OUT}$$

LSB 等于 $2 \times (2.5\text{V}/65536)$ ，即 $76\mu\text{V}$ 。 R_{OUT} 等于 $6\text{k}\Omega$ 时， 6nA 的 I_L 会产生 1LSB 的失调电压。因此为了避免 DAC 性能下降，需保证 V_{OUT} 管脚免受任何漏电影响。

电压输出建立时间

V_{OUT} 的建立时间可根据单极点响应进行近似估计，其中：

$$\tau = R_{OUT} \times (C_{OUT} + C_L)$$

DAC 输出电压精度建立到 $1/2\text{LSB}$ 以内，大约需要 $\ln(2 \times 65536) \approx 12$ 个时间常数。要保证 DAC 的 V_{OUT} 建立时间在 $1\mu\text{s}$ 以内，要求输出级 C_{OUT} 的时间常数小于 83ns ，即负载电容小于 $83\text{ns}/6\text{k} = 13\text{pF}$ 。

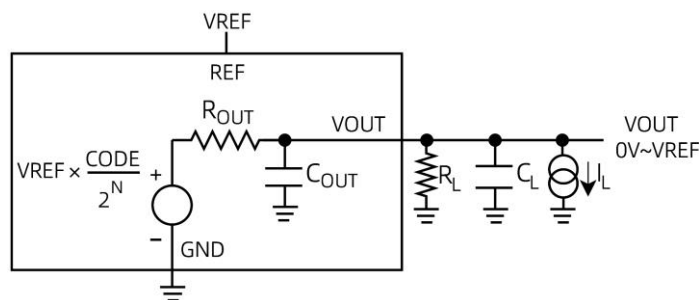


图 13 V_{OUT} 管脚等效电路

运算放大器

GYC5542 极小的 LSB 电压以及自身较高的精度，意味着外部运算放大器的选择对整个 DAC 性能非常关键。

外部缓冲运算放大器的选择取决于 DAC 是在双极性输出模式下还是单极性输出模式下工作，同时还受当前应用的精度、速度、功耗以及 PCB 板面积的影响。GYC5542 的微型封装、轨到轨单电源供电、低功耗、快速建立时间以及高精度等特点决定了同一款运算放大器很难适用于所有场景。

双极性输出模式下，运算放大器与片内电阻共同构成双极性输出环路，实现放大功能的同时，提供额外的失调电压。这种情形下，需要选用基于双电源工作的低失调精密放大器，以提供 $\pm V_{REF}$ 电压输出范围（参见图 15）。

单极性输出模式下，输出放大器作为单位增益电压跟随器运行。

运算放大器规格和 GYC5542 精度

大多数运算放大器的精度规格会直接影响 DAC 精度。运算放大器同相 (+) 输入端的偏置电流相当于 V_{OUT} 的恒定负载电流 I_L ，因此会产生一个 0 码失调误差（参见负载对 DAC 输出电压精度的影响）：

$$ZSE = -I_B (IN+) \times R_{OUT}$$

基于 LSB 的公式为：

$$ZSE = -I_B (IN+) \times 6k \times \frac{65536}{V_{REF}} [LSB]$$

运算放大器的输入阻抗 R_{IN} 相当于 V_{OUT} 的负载 R_L ，产生如下增益误差：

$$GE = \frac{-65536}{\left(1 + \frac{6k}{R_{IN}}\right)} [LSB]$$

运算放大器的失调电压 V_{OS} 相当于 DAC0 码失调误差 ZSE：

$$ZSE = V_{OS} \times \frac{65536}{V_{REF}} [LSB]$$

同时还需要考虑温度因素。全温范围内失调电压温漂（参考温度 25°C）为 0.6μV/°C 时，会增加 1LSB 的 0 码误差。此外 I_{BIAS} 与其产生的 V_{OFFSET} 误差也会随着温度呈现显著变化。运算放大器开环增益 A_{VOL} 和 DAC 输出增益误差之间存在如下关系：

$$GE = \frac{65536}{A_{VOL}} [LSB]$$

运算放大器的共模抑制比（CMRR）同时影响 DAC 输出的增益误差和 INL。选取的运算放大器架构以及应用中，实际运行的条件也会影响最终的输出误差。由 CMRR 引起的误差计算公式为：

$$\text{误差} = 10 \frac{CMRR}{20} \times \frac{V_{CMRR_RANGE}}{V_{REF}} \times 65536 [LSB]$$

其中 V_{CMRR_RANGE} 表示指定的 CMRR 对应的共模电压输入范围。运算放大器的典型特征图可用于预测共模抑制比误差对 DAC 性能的影响。通常一个精密运算放大器在共模电压输入范围的中段值 CMRR 指标的线性度更好（线性化的 CMRR 不会影响 DAC 的线性度）。当输入信号临近共模电压输入范围的边缘时，线性度会下降，体现出较大的非线性。

DAC 的输出经过运算放大器环路放大，所有误差均增加到两倍。在运算放大器输出端 LSB 电压为 DAC 输出端的两倍。双极性输出模式下，增加了一个 $I_B (IN-)$ 误差， I_B 流经 R_{FB} 产生一个失调电压。偏置电流失调误差公式为：

$$V_{OFFSET} = I_B (IN-) \times R_{FB} - I_B (IN+) \times R_{OUT} \times 2$$

因此：

$$V_{OFFSET} = \left(I_B (IN-) \times 28k - I_B (IN+) \times 12k \right) \times \frac{32768}{V_{REF}} [LSB]$$

电压输出建立时间（使用运算放大器时）

使用外部运算放大器时，电压输出建立时间包括 GYC5542 的 V_{OUT} 节点上的单极点建立时间，时间常数的计算公式为：

$$\tau = R_{OUT} \times (C_{OUT} + C_L) \quad (\text{参见电压输出建立时间})。$$

其中 C_L 包括放大器输入电容和 PCB 板的走线电容。

外部缓冲放大器会额外增加一个极点，时间常数等于带宽 $\div 2\pi$ 。例如，假设 C_L 保持上述值， V_{OUT} 节点时间常数为 83ns（等于 $1\mu s \div 12$ ）。如果放大器闭环带宽为 $1 \div (2\pi \times 83ns) = 1.9MHz$ ，那么输出放大器也存在一个时间常数为 83ns 的极点。两个级联单极点部分的有效时间常数大约是各个时间常数的平

方根之和或 $\sqrt{2} \times 83\text{ns} = 117\text{ns}$ ，因此 $1/2\text{LSB}$ 建立时间 $\approx 12 \times 117\text{ns} = 1.4\mu\text{s}$ 。这只是一种理想情况，不考虑摆幅限制和运算放大器相位裕度。实际上需要选用带宽较大的放大器，并保持足够的相位裕度，才能接近 $1\mu\text{s}$ 的无缓冲建立时间。

电压输出建立时间（参见电压输出建立时间）会因反馈电阻 R_{FB} 和 R_{INV} （典型值均为 $28\text{k}\Omega$ ）有所增加。运算放大器反相输入端（-）上的寄生电容 C_{P} 会引入一个时间常数为 $(C_{\text{P}} \times 28\text{k}\Omega \div 2)$ 的反馈环路极点。同时，在反馈环路上应包括一个小的反馈电容 C_1 ，引入一个零点来抵消该极点。 C_1 典型值应小于 C_{P} ，通常在 $5\text{pF} \sim 10\text{pF}$ 之间。引入 C_1 后可以提升相位裕度，并减小建立时间。但是零极点必然导致建立时间变慢，时间常数大约为 $(C_{\text{P}} + C_1) \times 28\text{k}\Omega \div 2$ ，会使得建立时间大于 $2\mu\text{s}$ 。

电压基准

GYC5542 采用范围为 $2\text{V} \sim V_{\text{DD}}$ 的外部电压基准进行工作，其本身的线性度、失调误差和增益误差几乎不受基准电压的影响。GYC5542 的较低增益误差温漂 $0.2\text{ppm}/^\circ\text{C}$ （典型值）相当于全温范围内低于 $1/2\text{LSB}$ 的变化。实际上这意味着总体增益误差温漂几乎全部由外部基准温漂决定。

为了防止梯形电阻网络分支从 GND 到 V_{REF} 转换时产生输出毛刺，电压基准在高频下必须保持较低输出阻抗。表贴陶瓷电容具有最低的寄生电感，在尽可能靠近 GYC5542 的 REF 和 GND 管脚之间的位置摆放一个 $0.1\mu\text{F}$ 的陶瓷电容，以提供高频旁路。如果空间允许， REF 和 GND 之间可额外再添加 $1\mu\text{F}$ 的陶瓷电容，作为低频旁路电容。只要外部电压基准可以在增加电容负载时仍保持稳定，GYC5542 就会受益于更大的旁路电容。

复位

GYC5542 内置上电复位电路，确保输出状态可控。当给 V_{DD} 上电后，GYC5542 上电复位至零电平，GYC5542 上电复位至双极性输出中间电平。根据其位数，中间电平码字为 32768。

数字接口

串行接口

GYC5542 通过 3 线 SPI、QSPI、MICROWIRE 兼容接口进行通信。 $\overline{\text{CS}}$ 控制来自 DIN 串行数据的加载。当 $\overline{\text{CS}}$ 为低电平时， DIN 数据被 16 个 SCLK 的上升沿加载到移位寄存器（MSB 优先）。如果 SCLK 的上升沿数量少于 16 个，数据将无效，需要重新加载。16 位数据被加载完成后， $\overline{\text{CS}}$ 上升沿将数据锁存至 16 位 DAC 锁存器，并更新 DAC 输出电压（参见图 14）。当 $\overline{\text{CS}}$ 为高电平时，串行输入移位寄存器被禁用。

数字输入和接口逻辑

所有数字输入均含有施密特缓冲器，以兼容慢速转换接口。因此光耦合器可直连 GYC5542，无需额外的逻辑器件。迟滞电压典型值为 0.2V 。

数字输入与 TTL/CMOS 逻辑电平兼容，但更倾向于使用达到电源轨摆幅的 CMOS 逻辑，以避免产生额外的 I_{DD} 和 GND 电流。

数字馈通的典型值只有 0.2nV s ，但是除了 DAC 更新输入之外，仍要尽量保证所有的逻辑输入不翻转。

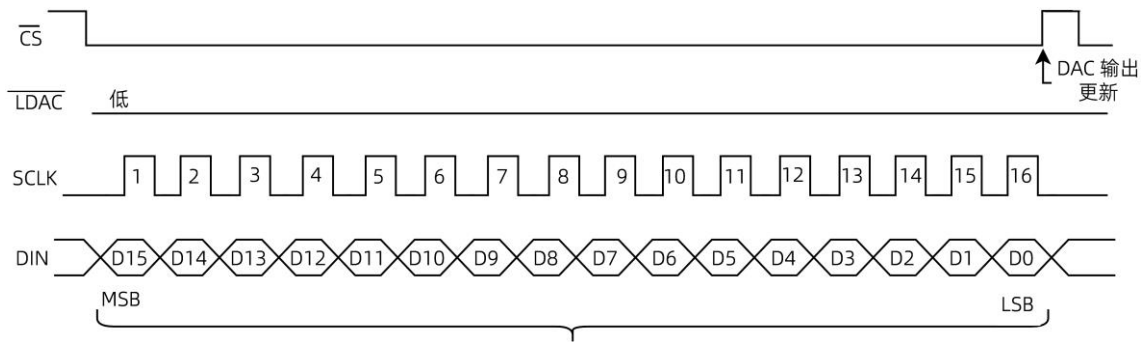


图 14 时序图

应用

图15显示了GYC5542的典型应用连接。片上失调/增益电阻 R_{FB} 和 R_{INV} 连接至一个外部放大器，在 R_{FB} 管脚产生 $-V_{REF} \sim +V_{REF}$ 的输出摆幅。放大器电路从 V_{OUT} 管脚提供+2增益，从 V_{REF} 提供-1增益。表1显示了双极性二进制码。

表1 双极性二进制码

二进制码				模拟输出 (V_{OUT})
MSB	-	-	LSB	-
1111	1111	1111	1111	$V_{REF} (32767/32768)$
1000	0000	0000	0001	$V_{REF} (1/32768)$
1000	0000	0000	0000	0V
0111	1111	1111	1111	$-V_{REF} (1/32768)$
0000	0000	0000	0000	$-V_{REF}$

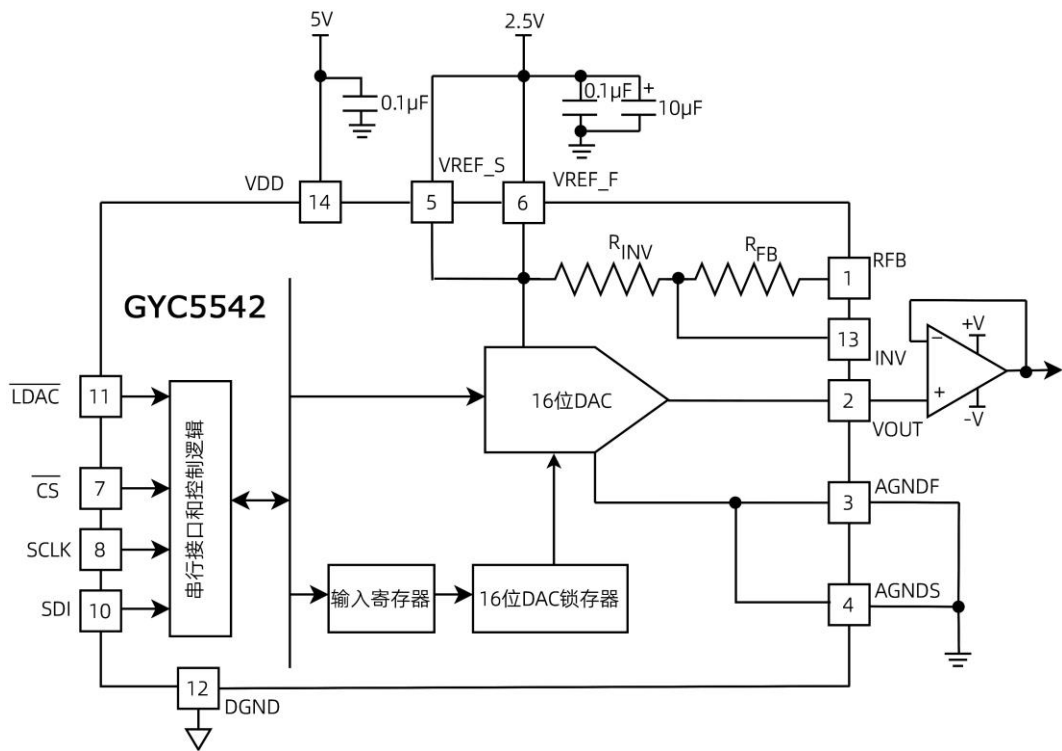


图15 典型连接

订购信息

系列名称	产品型号	工作温度	封装形式	质量等级
GYC5542	GYC5542SI+	-40℃ ~ +125℃	SOP-14L	工业扩展级
	GYC5542SM	-55℃ ~ +125℃	SOP-14L	普军级
	GYC5542SN1	-55℃ ~ +125℃	SOP-14L	GJB7400 N1 级

外形类型及尺寸图

