



GYC7606B 8 通道数据采集系统 (DAS) 内置 16 位、双极性输入、同步采样 ADC

概述

GYC7606B 是一款 16 位、8 通道同步采样模拟数据采集系统 (DAS)。各通道均内置模拟输入钳位保护、二阶抗混叠滤波器、跟踪保持放大器、16 位 SAR ADC，内置了灵活的数字滤波器、2.5V 基准电压源、基准电压缓冲以及高速串行和并行接口。

GYC7606B 采用 5V 单电源供电，可以处理 $\pm 10V$ 、 $\pm 5V$ 真双极性输入信号，同时所有通道均能以高达 200kSPS 的吞吐速率采样。在各种采样频率工作下，输入钳位保护电路可以承受高达 $\pm 18.5V$ 的电压。1M Ω 的高输入阻抗以及片内滤波器，可以极大简化外围电路设计。

应用领域

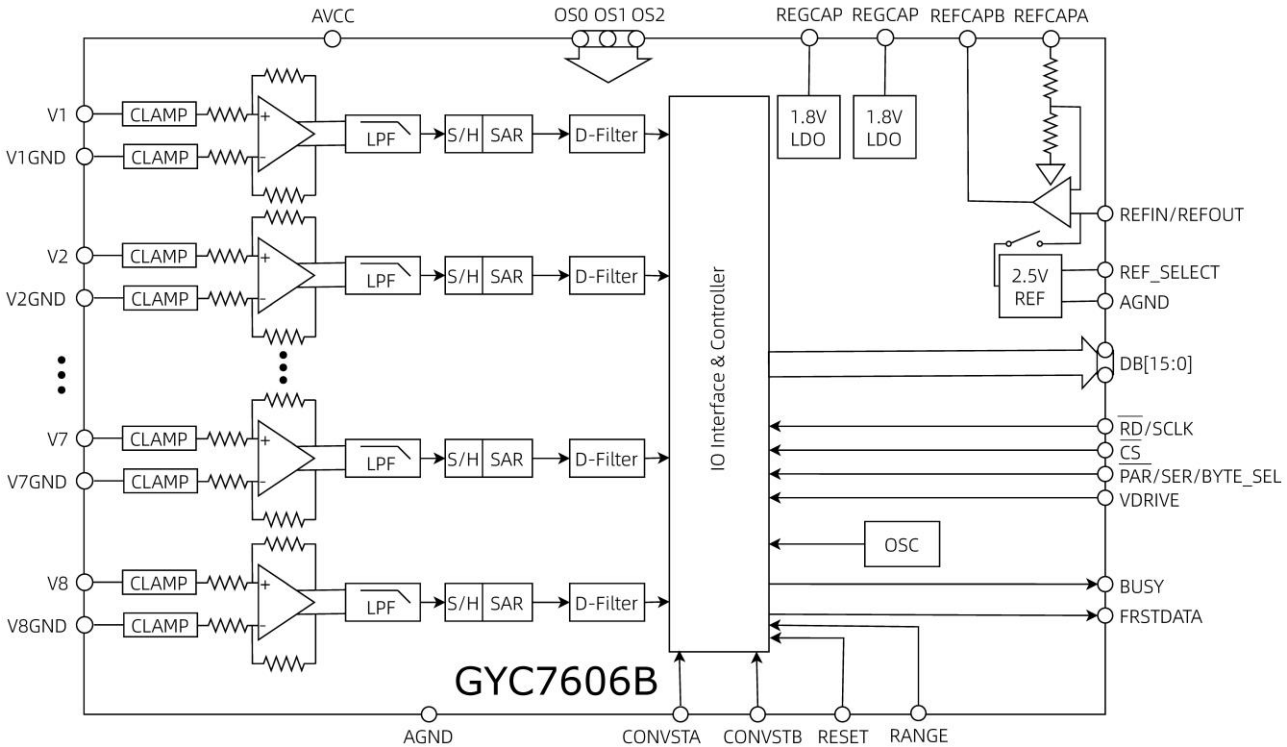
- 数据采集系统
- 电力线监控和保护系统
- 多轴定位系统
- 多相电机系统
- 仪表和控制系统

特性说明

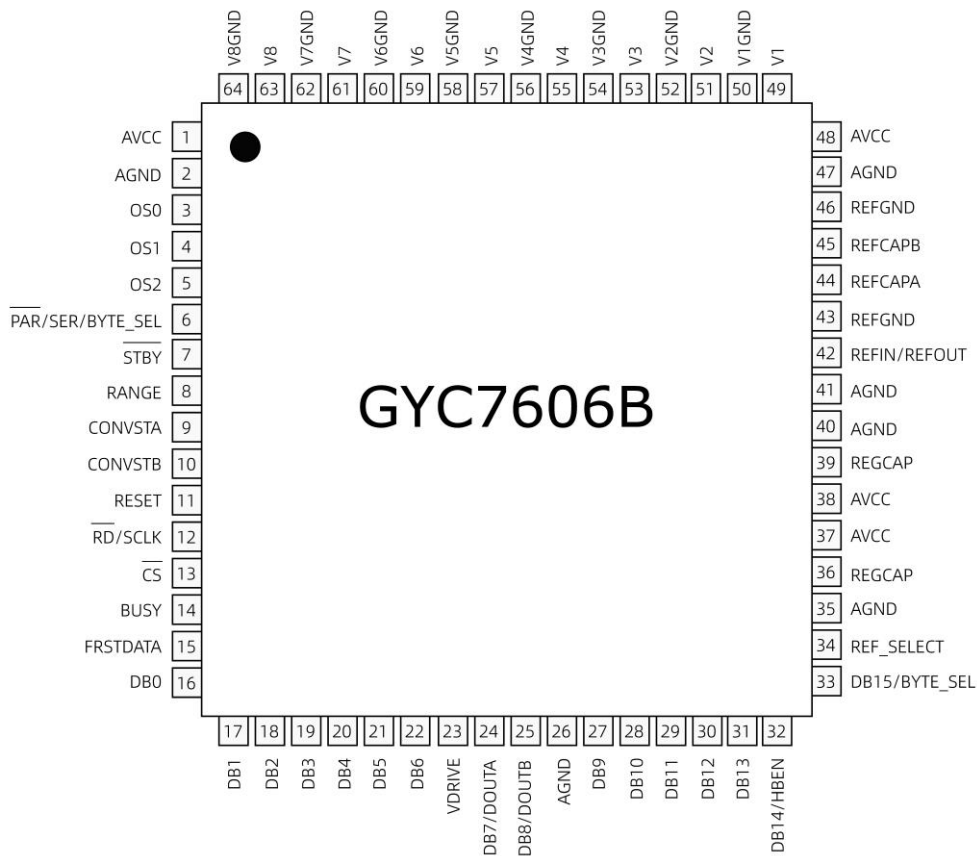
- 双极性模拟输入范围： $\pm 10V$ 、 $\pm 5V$
- 5V 模拟电源，2.3V ~ 5V 数字接口电源
- 8 通道同步采样输入
- 性能
 - 模拟输入 ESD HBM 可达 7000V
 - 92dB SNR（无过采样），-105dB THD
 - $\pm 1LSB$ INL， $\pm 0.8LSB$ DNL
- 灵活的并行/串行接口
 - SPI/QSPI/MICROWIRE/DSP 兼容
- 完全集成的数据采集解决方案
 - 模拟输入钳位保护
 - 具有 1M Ω 模拟输入阻抗的输入缓冲器
 - 二阶抗混叠模拟滤波器
 - 片内精密基准电压及缓冲
 - 16 位、200kSPS ADC（所有通道）
 - 通过数字滤波器提供过采样功能
- 低功耗：运行 107.5mW，待机 28.5mW
- LQFP64 10mm × 10mm 封装
- CQFP64 10mm × 10mm 封装

技术说明

内部功能框图



引脚图



引脚定义

GYC7606B 引出端功能

引脚序号	引脚名称	引脚类型	说 明
1	AV _{CC}	PWR	PWR 模拟电源电压。通过 100nF 与 10μF 的并联去耦电容连接至 AGND
2	AGND	GND	模拟地。这些管脚是GYC7606B所有模拟电路的接地基准点，所有模拟输入信号和外部基准信号都应该参考这些管脚。所有6个AGND管脚都应连到系统的AGND平面
3	OS0	DI	过采样模式管脚，这些输入用来选择过采样倍率 OS2 为 MSB 控制位，OS0 为 LSB 控制位
4	OS1		
5	OS2		
6	PAR/SER/ BYTE_SEL	DI	与DB15/BYTE_SEL管脚共同决定数字接口模式。如果此管脚接逻辑低电平，则选择并行接口。如果此管脚接逻辑高电平并且DB15/BYTE_SEL接逻辑低电平，则选择串行接口。如果此管脚与DB15/BYTE_SEL管脚都接高电平，则选择并行字节模式
7	STBY	DI	待机模式输入。此管脚用来让GYC7606B进入两种低功耗模式之一：待机模式或关断模式。RANGE管脚状态则决定进入具体某种低功耗模式。待机模式下，除片内基准电压、稳压器和稳压器缓冲外的所有其他电路均关断。关断模式下，所有电路均关断
8	RANGE	DI	模拟输入范围选择。此管脚的极性决定模拟输入通道的输入范围。如果此管脚与逻辑高电平相连，则所有通道的模拟输入范围为±10V。如果此管脚与逻辑低电平相连，则所有通道的模拟输入范围为±5V。此管脚的逻辑状态改变会立即影响模拟输入范围，对于快速吞吐速率应用，转换期间建议不要更改此管脚的逻辑状态
9	CONVSTA	DI	转换开始控制信号。V1、V2、V3、V4由CONVSTA启动同步采样，V5、V6、V7、V8由CONVSTB启动同步采样。如果要对所有输入通道同时采样，可以将CONVSTA和CONVSTB短接在一起，并施加一个转换开始信号
10	CONVSTB		
11	RESET	DI	该管脚输入逻辑高电平将芯片复位，进行中的转换将中断，输出寄存器的内容将复位至全0。在芯片上电完成后，需使用长于50ns的高电平脉冲对芯片进行一次复位操作
12	RD/SCLK	DI	并行接口模式下，该管脚为并行数据读取控制输入（RD）；串行接口模式下，该管脚为串行时钟输入（SCLK）
13	CS	DI	片选。此管脚处于逻辑低电平将使能数据帧传输
14	BUSY	DI	转换指示信号。CONVSTA和CONVSTB均达到高电平后，此管脚变为逻辑高电平，表示转换过程已经开始。BUSY输出将保持高电平，直到所有通道的转换过程完成为止。BUSY信号的下降沿将转换数据锁存至输出数据寄存器。当BUSY信号为高电平时，CONVSTA或CONVSTB管脚的上升沿信号将不起作用
15	FRSTDATA	DO	FRSTDATA指示第一通道V1的数据可以通过数字接口回读。当CS输入为高电平时，FRSTDATA输出管脚处于三态。CS下降沿使FRSTDATA脱离三态。在并行模式下，与V1结果对应的RD下降沿将FRSTDATA管脚设为高电平，在下一个RD下降沿之后，FRSTDATA输出恢复逻辑低电平。在串行模式下，FRSTDATA在CS下降沿变为高电平，此时将在DOUTA上输出V1的MSB。在CS下降沿之后的第16个SCLK下降沿，FRSTDATA恢复低电平
16 ~ 22	DB0 到 DB6	DO	并行输出数据位DB0到DB6。当PAR/SER/BYTE_SEL为逻辑低电平时，这些管脚充当并行数字输入/输出管脚。当PAR/SER/BYTE_SEL为逻辑高电平时，这些管脚应连接至AGND。当工作在并行字节接口模式时，DB[7:0]通过2个RD操作输出16位转换结果。DB7（管脚24）为MSB，DB0为LSB
23	V _{DRIVE}	PWR	逻辑电源输入。此管脚的电源电压（2.3V ~ 5.25V）决定逻辑接口的工作电压。此管脚的标称电源应与控制器（DSP或FPGA）接口电源相同
24	DB7/DOUTA	DO	并行输出数据位 DB7 或串行接口数据输出管脚 DOUTA

引脚序号	引脚名称	引脚类型	说 明
25	DB8/DOUTB	DO	并行输出数据位 DB8 或串行接口数据输出管脚 DOUTB
26	AGND	GND	模拟地
27 ~ 31	DB9 ~ DB13	DO	并行输出数据位 DB9 至 DB13。当 $\overline{\text{PAR/SER/BYTE_SEL}}$ 为逻辑低电平时，这些管脚充当并行数字输出管脚。当 $\overline{\text{PAR/SER/BYTE_SEL}}$ 为逻辑高电平时，这些管脚应连接至 AGND
32	DB14/HBEN	DI/O	当 $\overline{\text{PAR/SER/BYTE_SEL}}$ 为逻辑低电平时，此管脚充当并行数字输出管脚。当 $\overline{\text{PAR/SER/BYTE_SEL}}$ 为高电平时，该管脚应连接至 AGND。当 $\overline{\text{PAR/SER/BYTE_SEL}} = 1$ 且 DB15/BYTE_SEL = 1 时，GYC7606B 工作在并行字节接口模式。在该模式下，HBEN 管脚用来选择是首先输出转换结果的高字节（MSB）还是低字节（LSB）。当 HBEN = 1 时，首先输出 MSB，然后输出 LSB。当 HBEN = 0 时，首先输出 LSB，然后输出 MSB
33	DB15/BYTE_SEL	DI/O	当 $\overline{\text{PAR/SER/BYTE_SEL}}$ 为逻辑低电平时，此管脚充当并行数字输出管脚。当 $\overline{\text{PAR/SER/BYTE_SEL}}$ 为逻辑高电平时，BYTE_SEL 管脚用来在串行接口模式与并行字节接口模式之间做出选择。当 $\overline{\text{PAR/SER/BYTE_SEL}} = 1$ 且 BYTE_SEL = 0 时，GYC7606B 工作在串行接口模式。当 $\overline{\text{PAR/SER/BYTE_SEL}} = 1$ 且 BYTE_SEL = 1 时，GYC7606B 工作在并行字节接口模式
34	REF_SELECT	DI	内部/外部基准电压选择输入。如果 REF_SELECT 为逻辑高电平，则选择并使能内部基准电压。如果此管脚为逻辑低电平，则必须将外部基准电压施加在 REFIN/REFOUT 管脚
35	AGND	GND	模拟地
36 , 39	REGCAP	PWR	内部稳压器电压输出。应分别将这两个输出管脚与 AGND 之间连接一个 1 μ F 去耦电容。这些管脚上的电压在 1.9V 左右
37 , 38	AV _{CC}	PWR	模拟电源电压。通过 100nF 与 10 μ F 的并联去耦电容连接至 AGND
40, 41, 47	AGND	GND	模拟地
42	REFIN/REFOUT	A	基准电压输入（REFIN）/基准电压输出（REFOUT）。如果 REF_SELECT 管脚为逻辑高电平，此管脚将提供 2.5V 片内基准电压供外部使用。如果 REF_SELECT 管脚设置为逻辑低电平，需要将 2.5V 外部基准电压施加到此输入端。无论使用内部还是外部基准电压，都需要在该管脚与 REFGND 之间连接一个 10 μ F 电容
43 , 46	REFGND	GND	基准电压接地管脚。这些管脚应连接至 AGND
44	REFCAPA	A	基准电压缓冲器输出管脚。必须将 REFCAPA 和 REFCAPB 连接在一起，并通过低有效串联电阻（ESR）的 10 μ F 陶瓷电容将此管脚连接至 AGND，这些管脚上的电压通常为 4V
45	REFCAPB	A	参见 REFCAPA
48	AV _{CC}	PWR	模拟电源电压。通过 100nF 与 10 μ F 的并联去耦电容连接至 AGND
49	V1	AI	模拟输入管脚。此管脚为单端模拟输入，模拟输入范围由 RANGE 管脚决定
50	V1GND	GND	模拟输入接地管脚。所有模拟输入接地管脚都应当连接至系统 AGND 平面
51	V2	AI	模拟输入管脚。此管脚为单端模拟输入，模拟输入范围由 RANGE 管脚决定
52	V2GND	GND	模拟输入接地管脚。所有模拟输入接地管脚都应当连接至系统 AGND 平面
53	V3	AI	模拟输入管脚。此管脚为单端模拟输入，模拟输入范围由 RANGE 管脚决定
54	V3GND	GND	模拟输入接地管脚。所有模拟输入接地管脚都应当连接至系统 AGND 平面
55	V4	AI	模拟输入管脚。此管脚为单端模拟输入，模拟输入范围由 RANGE 管脚决定
56	V4GND	GND	模拟输入接地管脚。所有模拟输入接地管脚都应当连接至系统 AGND 平面
57	V5	AI	模拟输入管脚。此管脚为单端模拟输入，模拟输入范围由 RANGE 管脚决定
58	V5GND	GND	模拟输入接地管脚。所有模拟输入接地管脚都应当连接至系统 AGND 平面

引脚序号	引脚名称	引脚类型	说 明
59	V6	AI	模拟输入管脚。此管脚为单端模拟输入，模拟输入范围由 RANGE 管脚决定
60	V6GND	GND	模拟输入接地管脚。所有模拟输入接地管脚都应当连接至系统 AGND 平面
61	V7	AI	模拟输入管脚。此管脚为单端模拟输入，模拟输入范围由 RANGE 管脚决定
62	V7GND	GND	模拟输入接地管脚。所有模拟输入接地管脚都应当连接至系统 AGND 平面
63	V8	AI	模拟输入管脚。此管脚为单端模拟输入，模拟输入范围由 RANGE 管脚决定
64	V8GND	GND	模拟输入接地管脚。所有模拟输入接地管脚都应当连接至系统 AGND 平面

绝对最大额定值

工作温度	-55℃ ~ +125℃
存储温度	-65℃ ~ +150℃
结温	+150℃
AV _{CC} ~ AGND	-0.3V ~ +7.0V
V _{DRIVE} ~ AGND	-0.3V ~ AV _{CC} +0.3V
模拟输入 ~ AGND	-18.5V ~ +18.5V
数字输入 ~ AGND	-0.3V ~ V _{DRIVE} +0.3V
数字输出 ~ AGND	-0.3V ~ V _{DRIVE} +0.3V
REFIN ~ AGND	-0.3V ~ AV _{CC} +0.3V
输入电流 ^[1]	-10mA ~ +10mA
HBM（除模拟输入外的所有管脚）	2KV
HBM（仅模拟输入管脚）	7KV

注^[1]：输入电流只针对除电源管脚外任意管脚。另外，瞬态电流达到100mA不会引起芯片闩锁。

参数列表

默认测试条件：V_{REF} = 2.5V 内部/外部基准电压、AV_{CC} = 4.75V ~ 5.25V、V_{DRIVE} = 1.7V ~ 5.25V、f_{SAMPLE} = 200kSPS、T_A = -55℃ ~ +125℃。

参数	测试条件	最小	典型	最大	单位
动态性能					
SNR	±10V 单端	89.5	92	-	dB
	±5V 单端	88.5	91	-	dB
	OS = 16, ±5V 单端, f _{IN} = 130Hz	-	93.5	-	dB
	OS = 16, ±10V 单端, f _{IN} = 130Hz	-	94.3	-	dB
SINAD	±10V 单端	89.2	92	-	dB
	±5V 单端	88.2	91	-	dB
SFDR	±10V 单端	96	108	-	dB
THD	±10V 单端	-	-105	-95	dB
IMD	fa = 1kHz, fb = 1.1kHz, 二阶项	-	-105.4	-	dB
	fa = 1kHz, fb = 1.1kHz, 三阶项	-	-112.7	-	dB
通道隔离度	未选中通道的 f _{IN} 不超过 100kHz	-	-110	-	dB

参数	测试条件	最小	典型	最大	单位
直流精度					
DNL	16bit	–	±0.8	±0.99	LSB
INL	16bit	–	±1	±2	LSB
PFS	外部基准电压源	–	±4	±16	LSB
	内部基准电压源	–	±4	–	LSB
PFS 匹配	±10V 范围	–	2	8	LSB
	±5V 范围	–	6	16	LSB
PFS 漂移	外部基准电压源	–	±2	–	ppm/°C
	内部基准电压源	–	±8	–	ppm/°C
NFS	外部基准电压源	–	±4	±16	LSB
	内部基准电压源	–	±4	–	LSB
NFS 匹配	±10V 范围	–	2	8	LSB
	±5V 范围	–	6	16	LSB
NFS 漂移	外部基准电压源	–	±2	–	ppm/°C
	内部基准电压源	–	±8	–	ppm/°C
双极性 0 码误差	±10V 范围	–	±1	±3	LSB
	±5V 范围	–	±5	±12	LSB
双极性 0 码误差匹配	±10V 范围	–	1	6	LSB
	±5V 范围	–	6	15	LSB
双极性 0 码误差漂移	±10V 范围	–	10	–	μV/°C
	±5V 范围	–	5	–	μV/°C
模拟输入滤波器					
全功率带宽	-3dB, ±10V 范围	–	20.6	–	kHz
	-3dB, ±5V 范围	–	13.3	–	kHz
	-0.1dB, ±10V 范围	–	4.4	–	kHz
	-0.1dB, ±5V 范围	–	2	–	kHz
群延迟	±10V 范围	–	11	–	μs
	±5V 范围	–	15	–	μs
模拟输入					
模拟输入电流	输入电压 10V	–	6.67	–	μA
输入阻抗	–	–	1	–	MΩ
基准电压输入/输出					
基准输入电压范围	–	2.475	2.5	2.525	V
基准输出电压	REFIN/REFOUT	–	2.5	–	V
基准源温度系数	–	–	±7	–	ppm/°C
电源功耗					
AV _{CC}	–	4.75	–	5.25	V
V _{DRIVE}	–	1.7	–	5.25	V
IAV _{CC}	关断模式	–	1	3	μA
	待机模式	–	5.7	8.5	mA

参数	测试条件	最小	典型	最大	单位
I _{AV_{CC}}	静态模式	—	16.5	23	mA
	转换模式, f _{SAMPLE} = 200kSPS	—	21.5	28	mA
V _{DRIVE}	转换模式, f _{SAMPLE} = 200kSPS	—	—	2	mA

时序规格

默认测试条件: AV_{CC} = 4.75V ~ 5.25V、V_{DRIVE} = 1.7V ~ 5.25V、V_{REF} = 2.5V 内部/外部基准、T_A = -55°C ~ +125°C。

通用时序规格

参数	最小	典型	最大	单位	描述
t _{CYCLE}	1	—	—	μs	计算公式为: 1/最大吞吐率
t _{LP_CNV}	10	—	—	ns	最短 CONVSTx 低电平脉冲
t _{HP_CNV}	10	—	—	ns	最短 CONVSTx 高电平脉冲
t _{D_CNV_BSY}	—	—	25	ns	CONVSTx 高电平到 BUSY 高电平
t _{S_BSY}	0	—	—	ns	BUSY 下降沿到 $\overline{\text{CS}}$ 下降沿信号建立时间
t _{D_BSY}	25	—	—	ns	最后 $\overline{\text{CS}}$ 上升沿与 BUSY 下降沿之间的最长时间
t _{DEVICE_SETUP}	25	—	—	ns	RESET 低电平到 CONVSTx 高电平之间的最短延迟时间
t _{CNV_DLY}	—	—	0.5	ms	CONVSTA/B 上升沿之间最大容许延迟时间
t _{CONV}	—	3	—	μs	转换时间, OS = 0
	—	8	—	μs	转换时间, OS = 2
	—	18	—	μs	转换时间, OS = 4
	—	38	—	μs	转换时间, OS = 8
	—	78	—	μs	转换时间, OS = 16
	—	158	—	μs	转换时间, OS = 32
	—	318	—	μs	转换时间, OS = 64
t _{RESET}	50	—	—	ns	RESET 高电平脉冲宽度
t _{WAKE-UP_STANDBY}	1	—	—	μs	$\overline{\text{STBY}}$ 上升沿到 CONVSTx 上升沿 (从待机模式上电时间)。
t _{WAKE-UP_SHUTDOWN}	200 ¹	—	—	ms	内部基准, $\overline{\text{STBY}}$ 上升沿到 CONVSTx 上升沿 (从关断模式上电时间)
	12	—	—	ms	外部基准, $\overline{\text{STBY}}$ 上升沿到 CONVSTx 上升沿 (从关断模式上电时间)

注: 负载 10μF 电容。

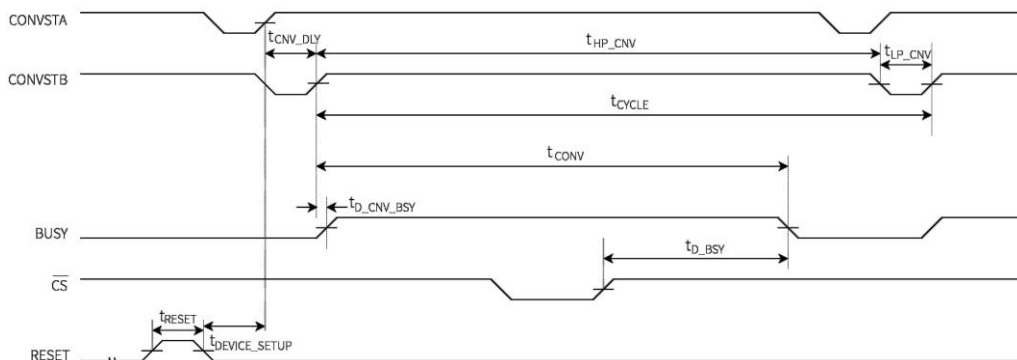


图 1 CONVST 时序-转换期间读取

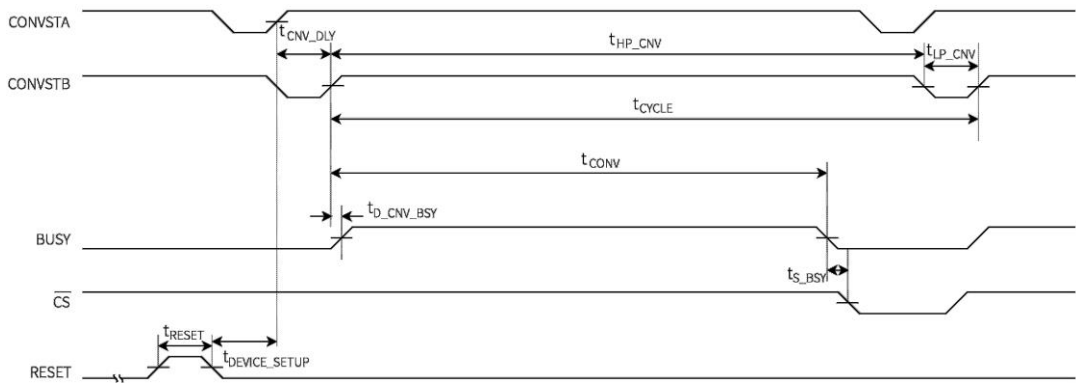


图 2 CONVST 时序-转换之后读取

FRSTDATA 时序规格

参数	最小	典型	最大	单位	描述
$t_{D_CS_FD}$	-	10	15	ns	CS下降沿到 FRSTDATA 的变化
$t_{D_RD_FDL}$	-	13	21	ns	从RD下降沿到 FRSTDATA 低电平的延迟时间
$t_{D_SCK_FDL}$	-	13	21	ns	从第 16 个 SCLK 下降沿到 FRSTDATA 低电平的延迟时间
$t_{D_CS_FDHZ}$	-	10	15	ns	CS上升沿到 FRSTDATA 高阻的延迟时间。

并行模式时序规格

参数	最小	典型	最大	单位	描述
$t_{S_CS_RD}$	0	-	-	ns	CS下降沿到RD下降沿所需信号建立时间
$t_{H_RD_CS}$	0	-	-	ns	RD上升沿到CS上升沿所需信号保持时间
t_{HP_RD}	17	-	-	ns	RD高电平脉冲宽度
t_{LP_RD}	-	-	-	-	RD低电平脉冲宽度
	23	-	-	ns	$V_{DRIVE} > 5.25V$
	25	-	-	ns	$V_{DRIVE} > 3.3V$
	29	-	-	ns	$V_{DRIVE} > 2.3V$
	36	-	-	ns	$V_{DRIVE} > 1.7V$
t_{HP_CS}	22	-	-	ns	CS高电平脉冲宽度
$t_{D_CS_DB}$	-	-	-	-	CS有效到数据位有效延迟
	-	15	23	ns	$V_{DRIVE} > 5.25V$
	-	16	25	ns	$V_{DRIVE} > 3.3V$
	-	18	29	ns	$V_{DRIVE} > 2.3V$
	-	23	36	ns	$V_{DRIVE} > 1.7V$
$t_{D_RD_DB}$	-	-	-	-	RD下降沿后数据建立时间
	-	15	23	ns	$V_{DRIVE} > 5.25V$
	-	16	25	ns	$V_{DRIVE} > 3.3V$
	-	18	29	ns	$V_{DRIVE} > 2.3V$
	-	23	36	ns	$V_{DRIVE} > 1.7V$
$t_{H_RD_DB}$	5	-	-	ns	RD下降沿后数据保持时间
$t_{DHZ_CS_DB}$	-	-	22	ns	CS上升沿到数据无效保持时间

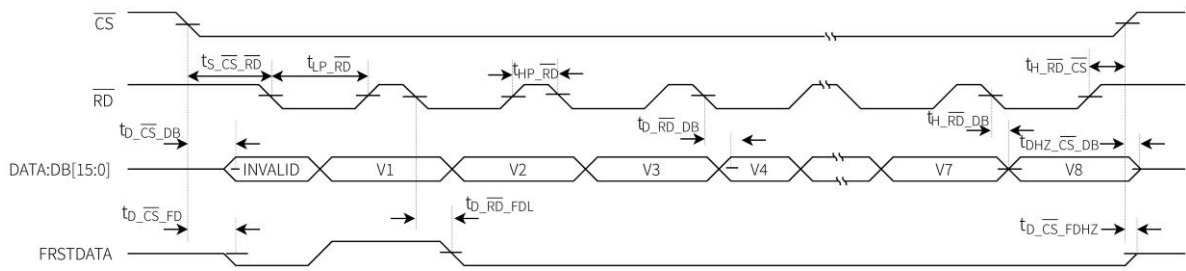
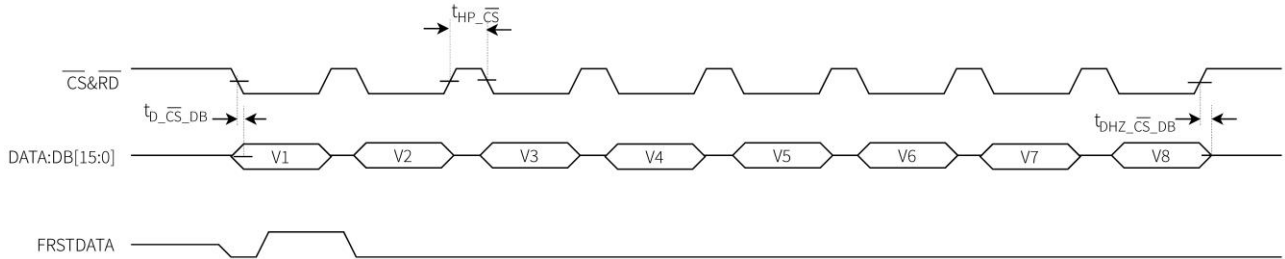
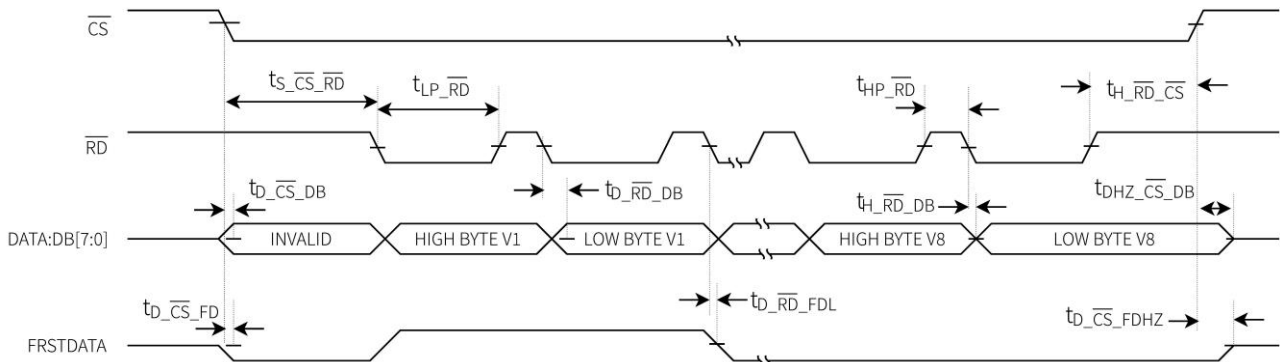
图 3 并行模式，独立的 $\overline{CS}$ 和 $\overline{RD}$ 脉冲图 4 并行模式， $\overline{CS}$ 和 $\overline{RD}$ 相连

图 5 字节模式读取操作

串行模式时序规格

参数	最小	典型	最大	单位	描述
f_{SCLK}	—	—	—	—	串行时钟频率, $f_{SCLK} = 1/t_{SCLK}$
	—	—	20	MHz	$V_{DRIVE} > 5.25V$
	—	—	16	MHz	$V_{DRIVE} > 3.3V$
	—	—	14	MHz	$V_{DRIVE} > 2.3V$
	—	—	11	MHz	$V_{DRIVE} > 1.7V$
t_{LP_SCLK}	$0.4t_{SCLK}$	—	—	ns	SCLK 低电平脉冲宽度
t_{HP_SCLK}	$0.4t_{SCLK}$	—	—	ns	SCLK 高电平脉冲宽度
$t_{H_SCLK_DO}$	5	—	—	ns	SCLK 上升沿后数据的保持时间
$t_{D_CS_DO}$	—	—	—	—	$\overline{CS}$ 有效到数据有效的延迟。
	—	8	13	ns	$V_{DRIVE} > 5.25V$
	—	9	14	ns	$V_{DRIVE} > 3.3V$
	—	12	18	ns	$V_{DRIVE} > 2.3V$
	—	17	26	ns	$V_{DRIVE} > 1.7V$
$t_{D_SCLK_DO}$	—	—	—	—	SCLK 上升沿后数据访问时间

参数	最小	典型	最大	单位	描述
$t_{D_SCK_DO}$	-	14	20	ns	$V_{DRIVE} > 5.25V$
	-	15	24	ns	$V_{DRIVE} > 3.3V$
	-	18	28	ns	$V_{DRIVE} > 2.3V$
	-	23	36	ns	$V_{DRIVE} > 1.7V$
$t_{DHZ_CS_DO}$	-	18	27	ns	$\overline{CS}$ 上升沿到数据不定态的延迟时间
$t_{S_CS_SCLK}$	2	-	-	ns	$\overline{CS}$ 下降沿到 $SCLK$ 下降沿的建立时间
$t_{H_SCLK_CS}$	3	-	-	ns	$SCLK$ 上升沿到 $\overline{CS}$ 上升沿的保持时间

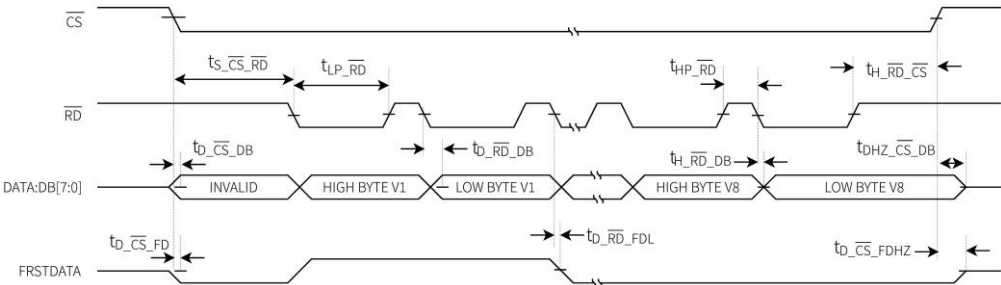


图 6 串行读取操作

典型特征

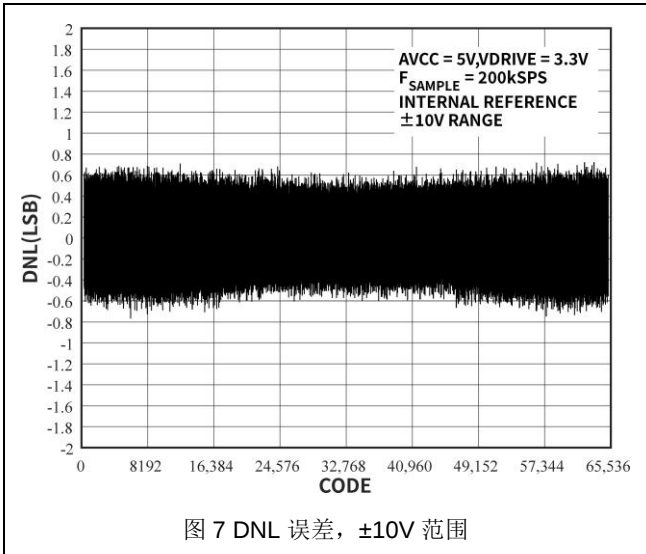


图 7 DNL 误差, ±10V 范围

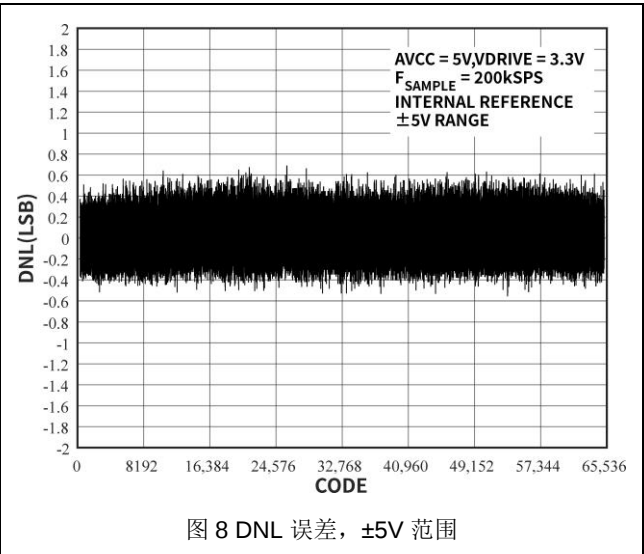


图 8 DNL 误差, ±5V 范围

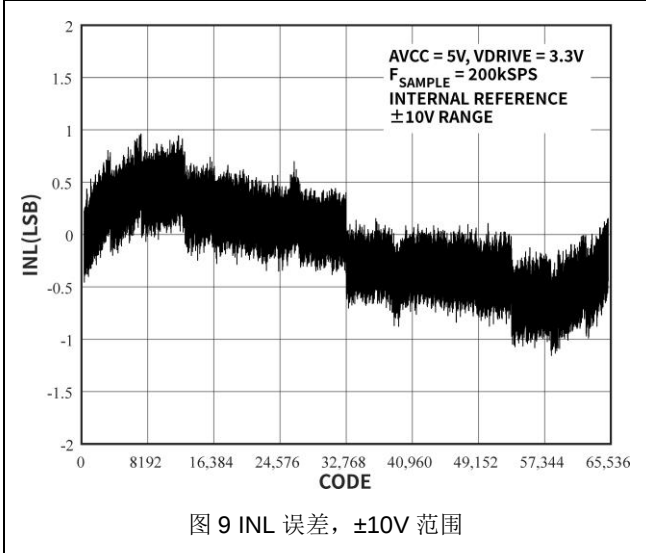


图 9 INL 误差, ±10V 范围

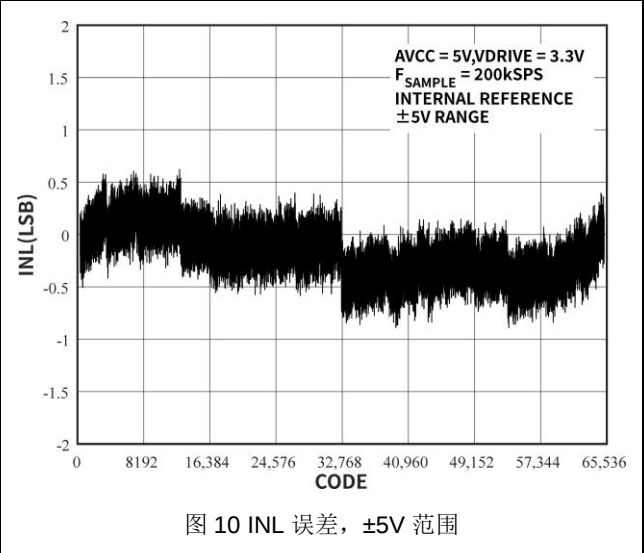


图 10 INL 误差, ±5V 范围

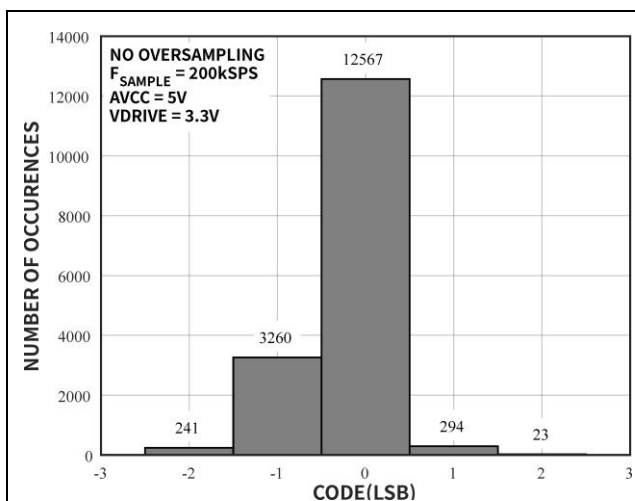


图 11 零输入直方图-No OS

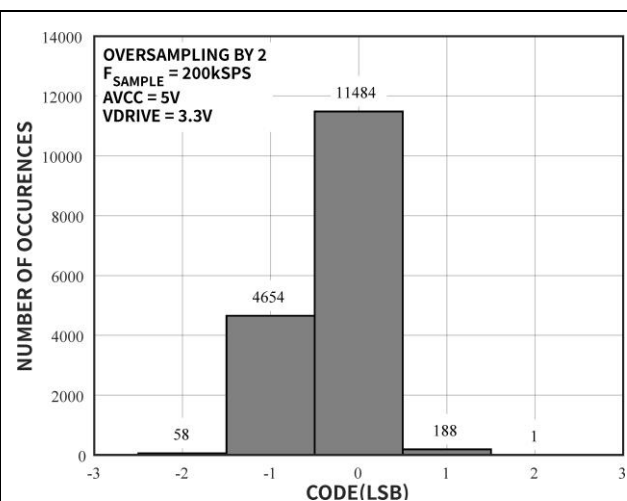


图 12 零输入直方图-OS×2

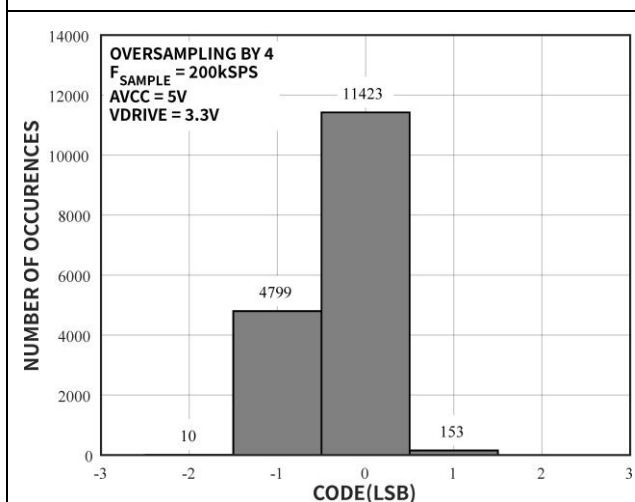


图 13 零输入直方图-OS×4

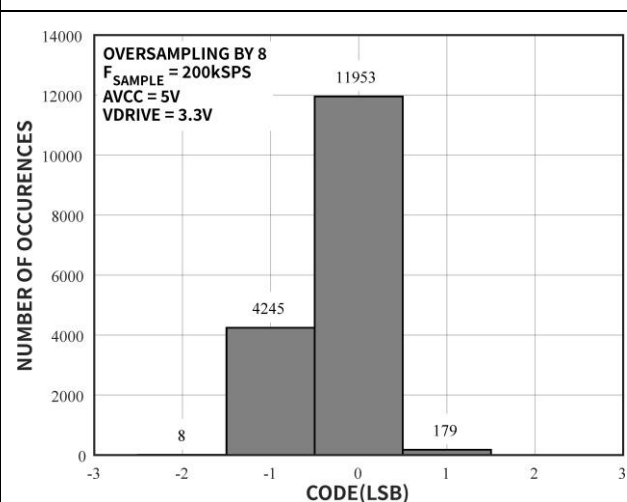


图 14 零输入直方图-OS×8

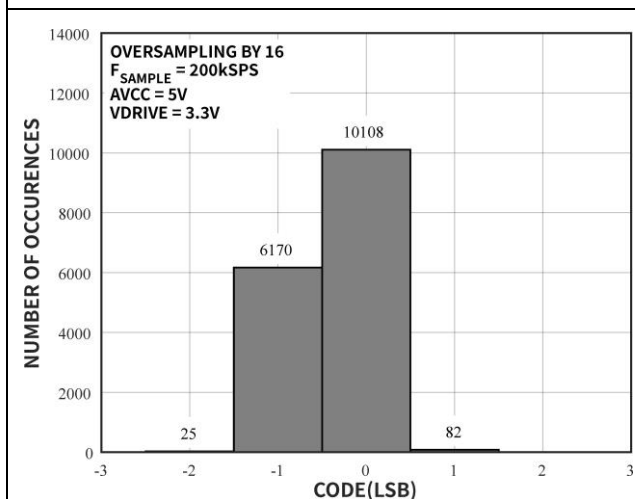
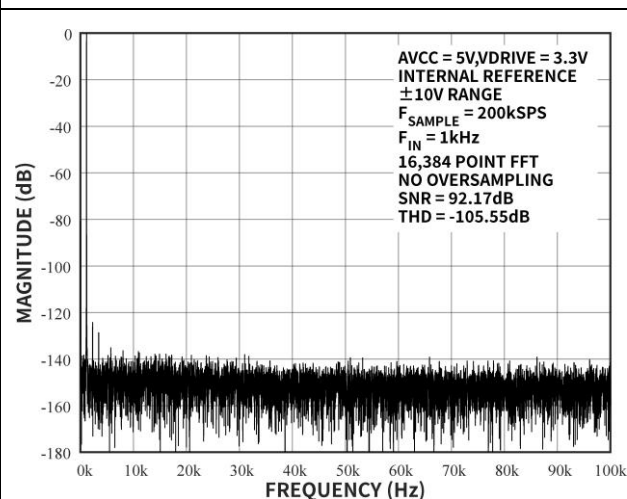


图 15 零输入直方图-OS×16

图 16 FFT, $\pm 10\text{V}$ 范围

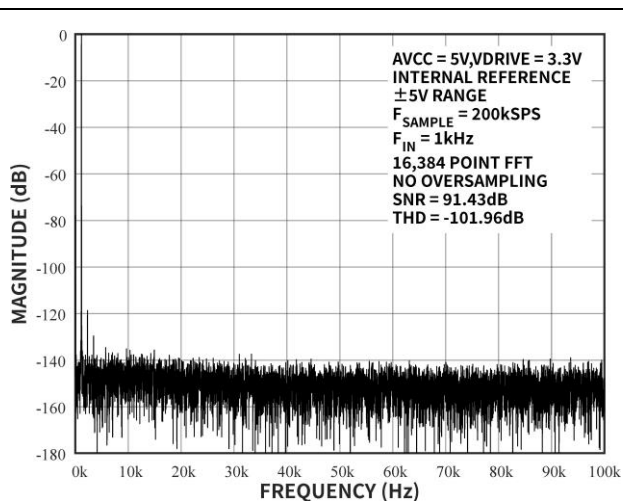


图 17 FFT, ±5V 范围

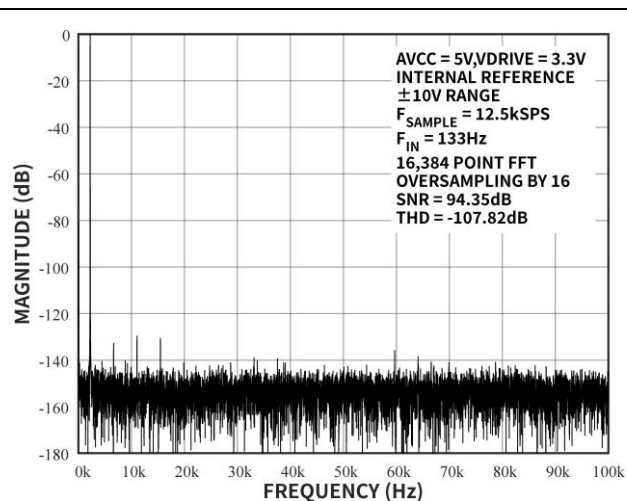


图 18 FFT 过采样 (16), ±10V 范围

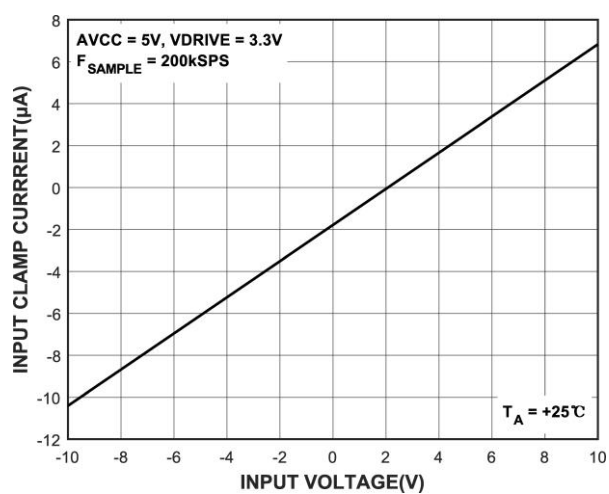


图 19 模拟输入电流与输入电压的关系

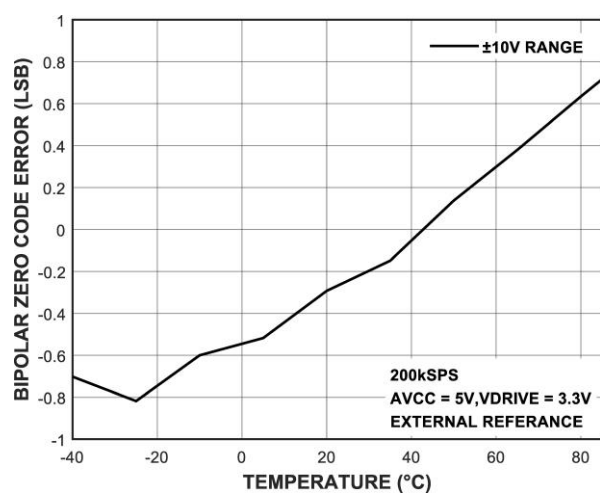


图 20 双极性 0 码误差的温度特性

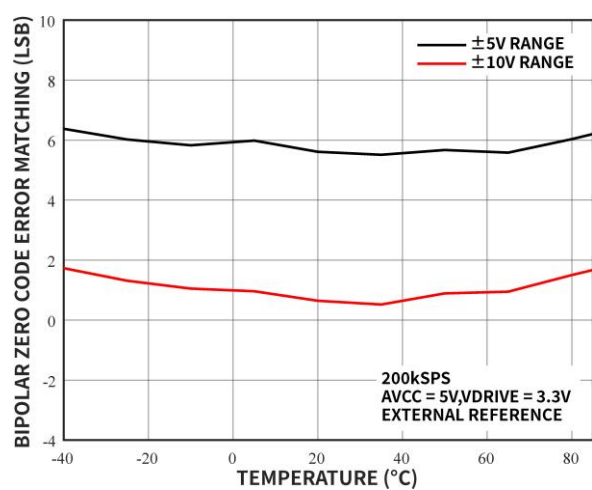


图 21 双极性 0 码误差匹配的温度特性

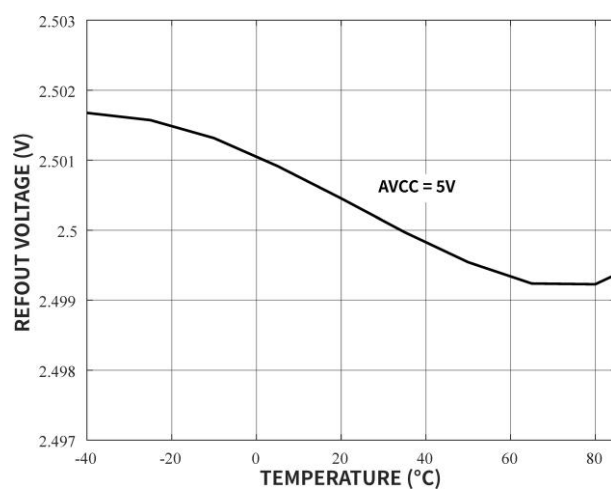


图 22 基准电压温度漂移

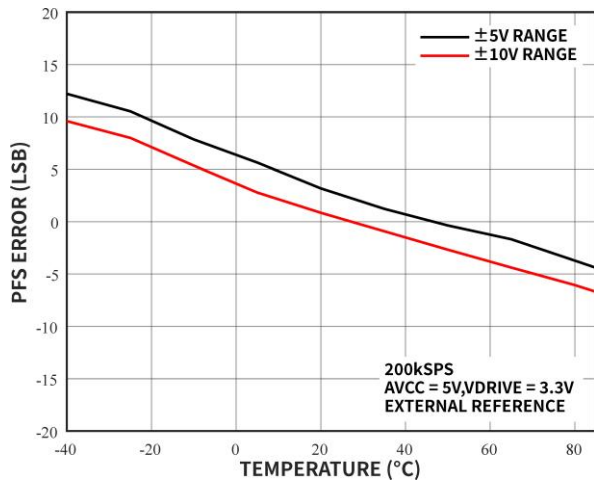


图 23 PFS 误差的温度特性

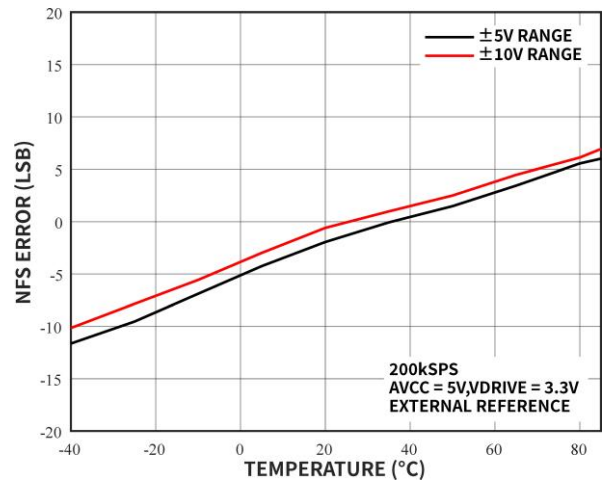


图 24 NFS 误差的温度特性

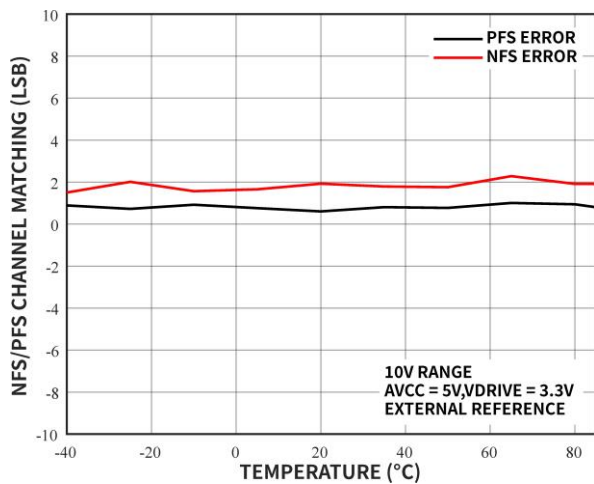


图 25 PFS/NFS 误差匹配的温度特性

工作原理

GYC7606B 是一款采用高速、低功耗逐次逼近型（SAR）模数转换器的数据采集系统，可以分别对多至 8 个模拟输入通道进行同步采样，通过配置 RANGE 管脚，可选择 $\pm 5V$ 或者 $\pm 10V$ 的输入范围。GYC7606B 采用单电源供电，但其所有模拟输入通道均可以接受真双极性输入信号。

芯片内置输入钳位保护、可编程放大器、二阶抗混叠滤波器、采样保持放大器、内部基准电压、基准电压缓冲器、高速 ADC、数字滤波器以及高速并行和串行接口。通过 CONVST 信号控制 GYC7606B 的采样过程。

模拟输入

输入范围

GYC7606B 可处理真双极性的单端输入信号，可通过 RANGE 管脚来配置模拟输入通道的电压范围。RANGE 为高电平时，则所有模拟输入电压范围为 $\pm 10V$ ；RANGE 为低电平时，则所有模拟输入电压范围为 $\pm 5V$ 。RANGE 管脚逻辑状态的改变会立即影响模拟通道的输入范围，在改变 RANGE 管脚逻辑状态的后，要预留 80 μs 典型值的信号建立时间，再进行下次采样。

输入阻抗

GYC7606B 的模拟输入阻抗均为 $1\text{M}\Omega$ 的固定输入阻抗，不随芯片采样频率的变化而变化。高模拟输入阻抗可消除前端驱动放大器的需求，使其可以直接连接至信号源或传感器。该特性可以简化客户的硬件设计。

钳位保护

图 26 所示的各通道模拟输入均含有钳位保护电路。芯片在单 5V 供电的情况下，其模拟输入通道允许过压达到 $\pm 18.5\text{V}$ 。

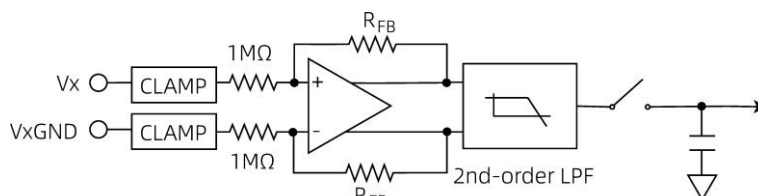


图 26 模拟输入电路

图 27 显示了钳位电路的电压电流特性曲线。当输入电压不超过 $\pm 18.5\text{V}$ 时，钳位电路不会开启。当输入电压超过 $\pm 18.5\text{V}$ 时，钳位电路开启，模拟通道输入电流快速增加。

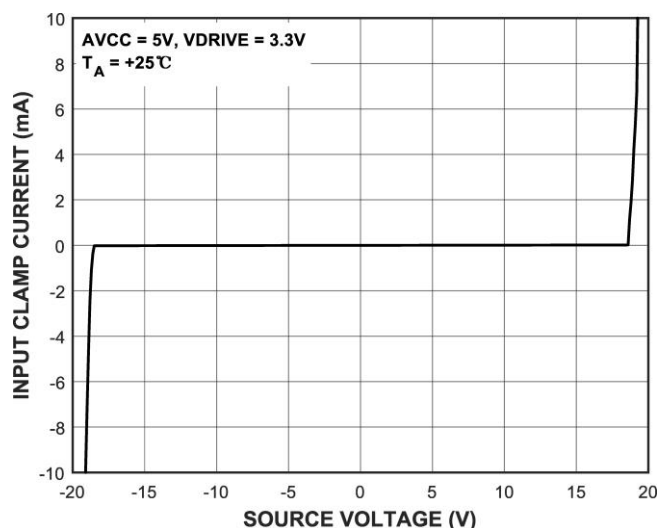


图 27 输入钳位电路 I/V 特性曲线

对于输入电压超过 $\pm 18.5\text{V}$ 的应用，可以在外部串联电阻解决。值得注意的是，如果模拟输入通道 Vx 上添加了一个串联电阻，则其对应的模拟输入 GND 管脚， $VxGND$ 上也需要串联一个与之相等的电阻。如果不添加这个电阻，该通道将出现额外的失调误差。

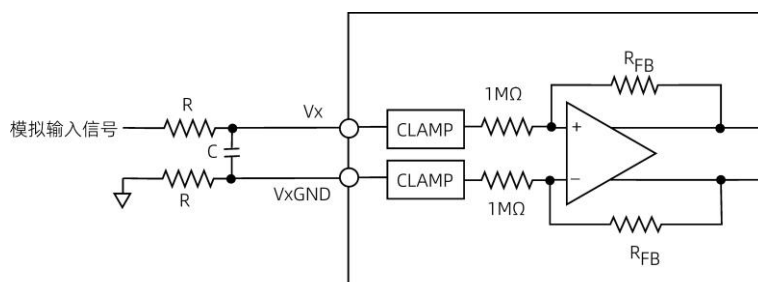


图 28 模拟输入端上输入电阻匹配

抗混叠滤波器

GYC7606B 还提供了模拟抗混叠滤波器。在 $\pm 5\text{V}$ 的范围内，-3dB 带宽的典型值为 13.3kHz，在 $\pm 10\text{V}$ 的范围内，-3dB 带宽典型值为 20.6kHz。

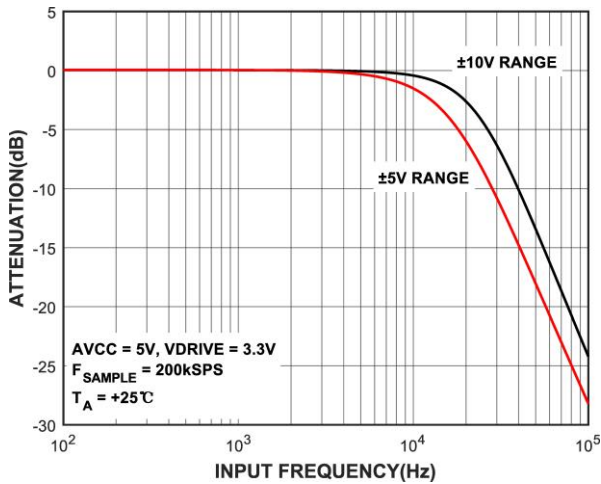


图 29 模拟抗混叠滤波器幅频特性

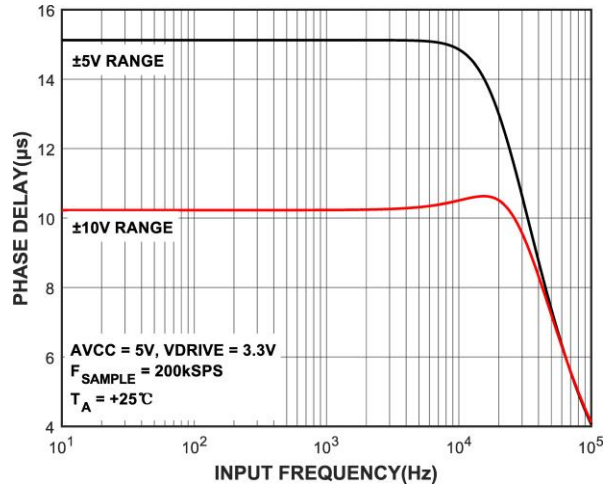


图 30 模拟抗混叠滤波器相频特性

采样保持放大器

GYC7606B 的采样保持放大器可使 ADC 精确采集满量程幅值的输入正弦波。采样保持放大器在 CONVSTx 上升沿的时候完成对各自输入信号的同步采样，随后进入信号保持阶段。在整个转换期间，采样保持放大器都处于信号保持阶段，直到所有 8 个通道的转换过程已经全部结束，BUSY 的下降沿使得采样保持放大器重新回到采样阶段。

采样保持电路使得在转换期间进行数据的读取几乎不会影响 ADC 的性能，同时有助于实现更快的数据吞吐速率。但是在 V_{DRIVE} 较高同时采用并行接口时，在转换期间读取数据可能会略微降低 ADC 的 SNR 性能。

内部/外部基准

GYC7606B 内置了一个 2.5V 的带隙基准电压源。REFIN/REFOUT 管脚既可以使用该 2.5V 的基准电压，也允许从外部施加一个 2.5V 的基准电压。REF_SELECT 管脚允许用户选择使用内部基准抑或是外部基准电压。如果此管脚设置为逻辑高，则选择并使能内部基准电压；如果此管脚设置为逻辑低电平，内部基准电压将被禁用，必须从外部施加一个基准电压到 REFIN/REFOUT 管脚。无论使用内部基准还是外部基准模式，都需要在 REFIN/REFOUT 管脚连接去耦电容，一般需要 10 μF 的陶瓷去耦电容。GYC7606B 内置了一个基准电压缓冲器，缓冲器可以将基准电压放大至约 4V。REFCAPA 和 REFCAPB 管脚必须外部短路在一起，并在尽量靠近芯片的位置放置一个 10 μF 的陶瓷去耦电容，通过电容将这两个管脚连接至 REFGND，以确保基准电压缓冲器正常工作。

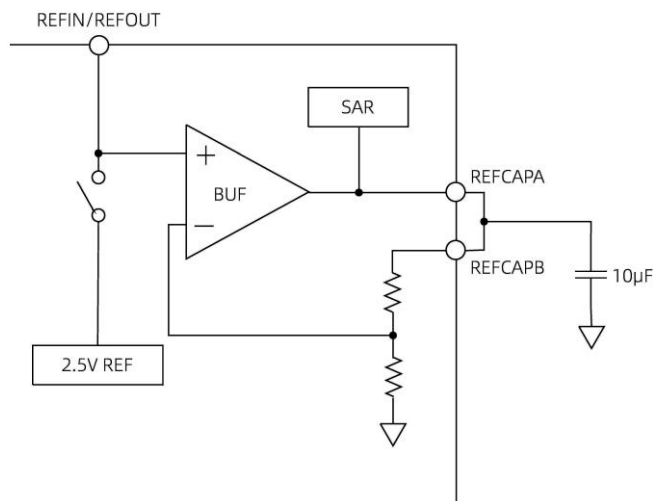


图 31 基准电压电路

多芯片并联外部基准电压模式

对于使用多个 GYC7606B 芯片的应用，如果采用外部基准电压，可以使用一个外部基准电压源驱动所有 GYC7606B 芯片的 REF_{IN}/REF_{OUT} 管脚。如图 32 所示，建议每一个 GYC7606B 的 REF_{IN}/REF_{OUT} 管脚都应使用至少一个 100nF 的去耦电容。

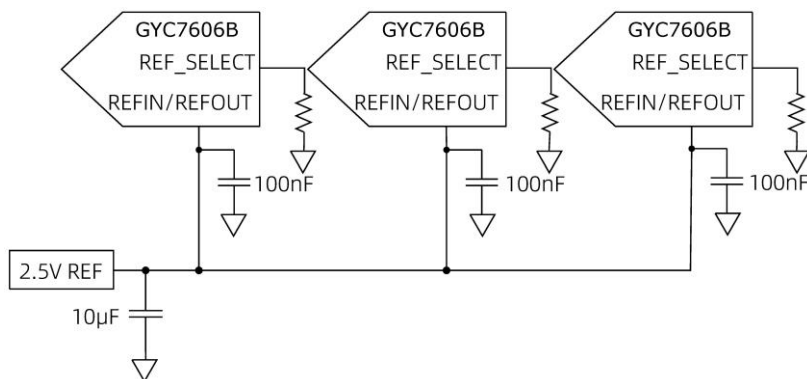


图 32 一个外部基准电压源驱动多个 GYC7606B

多芯片并联内部基准电压模式

当芯片配置为内部基准电压模式，其内部基准电压输出可以作为其余 GYC7606B 芯片的外部基准源。其中，配置为内部基准电压模式的 GYC7606B 应采用一个 10µF 的陶瓷电容对其 REF_{IN}/REF_{OUT} 管脚去耦。配置为外部基准电压模式的其他 GYC7606B 芯片，每 REF_{IN}/REF_{OUT} 管脚上，都应至少采用一个 100nF 的去耦电容。

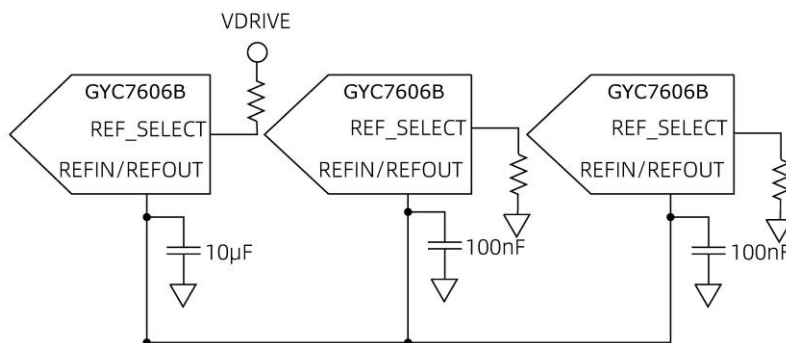


图 33 内部基准电压源驱动多个 GYC7606B

ADC 传递函数

GYC7606B 的 LSB 大小取决于 FSR 的大小，即 $FSR/65536$ ，其输出转换值的编码方式为二进制补码。

ADC 在 $\pm 10V$ RANGE、 $\pm 5V$ RANGE 的传递函数为： $\pm 10V \text{ CODE} = V_{IN} \div 10V \times 32768 \times 2.5V \div REF$ ；
 $\pm 5V \text{ CODE} = V_{IN} \div 5V \times 32768 \times 2.5V \div REF$

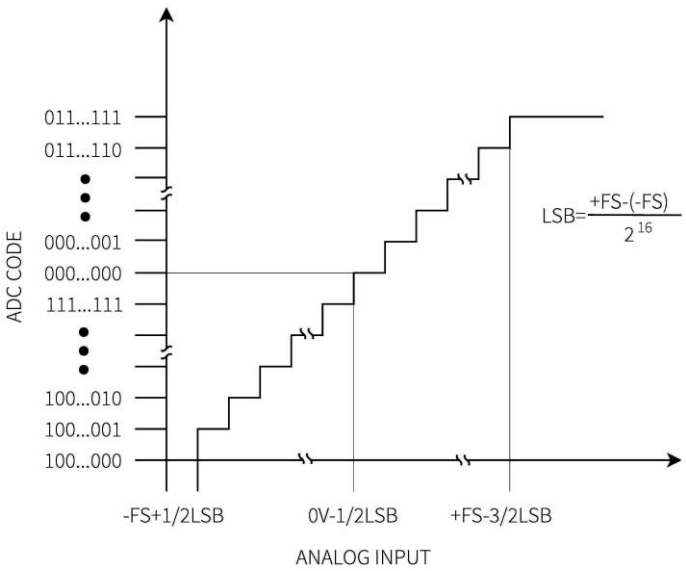


图 34 传递特性

RANGE	+FS	MIDSCALE	-FS	LSB
$\pm 10V$	$\pm 10V$	0V	-10V	305 μ V
$\pm 5V$	+5V	0V	-10V	152 μ V

数字滤波器

GYC7606B 内置一个可选的数字一阶 SINC 滤波器，使用该滤波器能够得到更宽的动态范围，但会降低模拟输入的带宽和 ADC 最大数据输出速率。数字滤波器的过采样率由过采样管脚 OS[2:0]控制，见表 2。OS2 为 MSB 控制位，OS0 为 LSB 控制位。下表过采样位解码提供了不同过采样率下的配置及带宽限制。

OS[2:0]	过采样率	5V 范围 3dB 带宽 (kHz)	10V 范围 3dB 带宽 (kHz)	最大吞吐量 CONVST 频率 (kHz)
000	无过采样	13.3	20.6	200
001	2	13.2	20.4	100
010	4	11.1	17.5	50
011	8	9.9	11.8	25
100	16	6	5.8	12.5
101	32	3	3	6.25
110	64	1.5	1.6	3.125
111	无效	-	-	-

功能与模式

功耗模式

GYC7606B 有四种功耗模式：转换模式、静态模式、待机模式和关断模式。

转换模式下，8 个通道 ADC 同时进行转换，此时为芯片的最大功耗模式，典型功耗为 107.5mW。

转换完成后，芯片进入静态模式，ADC 处于低功耗状态，但采样电路仍然保持在工作状态，以便能够随时响应 CONVST 信号立即进入转换模式。静态模式下功耗略有降低，典型功耗为 82.5mW。

$\overline{\text{STBY}}$ 管脚接低电平，RANGE 管脚接高电平时，进入待机模式，ADC 和采样电路都处于低功耗状态，芯片整体功耗进一步降低，典型值为 28.5mW。从待机模式退出后，内部电路需要 100μs 的建立时间，然后进入静态模式。

$\overline{\text{STBY}}$ 管脚和 RANGE 管脚都接低电平时，进入关断模式，大部分电路模块均关断，此时芯片的典型功耗为 5μW。从关断模式退出后需要 12ms 的等待时间才可以开始进行正常的转换功能。

不同功耗模式的配置情况见下表。

功耗模式	$\overline{\text{STBY}}$	RANGE
转换	1	X
静态	1	X
待机	0	1
关断	0	0

转换控制

CONVSTA 的上升沿用于通道 V1 至 V4 的同步采样控制，CONVSTB 的上升沿用于通道 V5 至 V8 的同步采样控制。基于这种分组控制逻辑，用户可选择对 8 个通道进行同步采样，此时应将 CONVSTA 和 CONVSTB 两个管脚连接在一起，同时给予上升沿激励。用户也可以对两组通道进行独立采样，分别在不同时刻给予 CONVSTA 和 CONVSTB 上升沿。通过对 CONVSTA 和 CONVSTB 的时间间隔控制，实现对采样信号的相位补偿。只有当两个 CONVST 信号均已收到上升沿激励后，BUSY 才会变为高电平，表示转换开始。在此独立采样模式下，不可使用过采样功能。时序如图 35 所示。

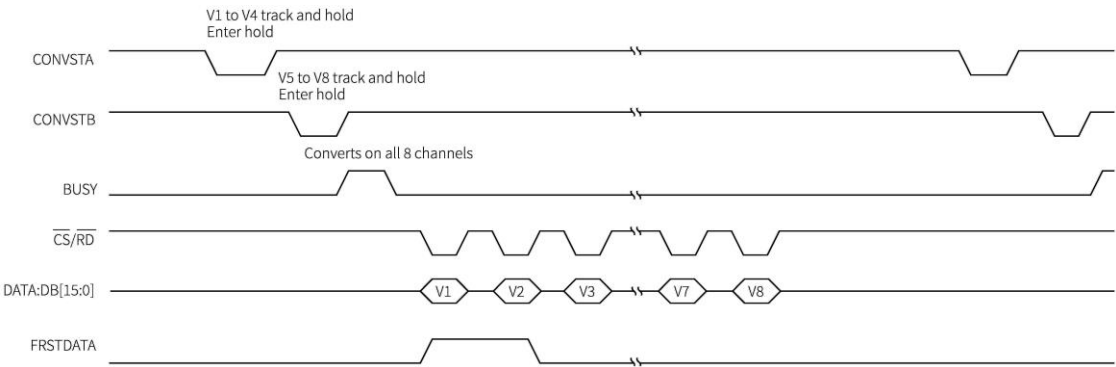


图 35 CONVSTA 和 CONVSTB 分别进行同步采样

数字接口

GYC7606B 提供三种接口选项：并行接口、高速串行接口和并行字节接口。所需接口模式可通过 $\overline{\text{PAR}}$ SER/BYTE_SEL 和 DB15/BYTE_SEL 管脚来选择，见下表。

PAR/SER/BYTE_SEL	DB15	接口模式
0	-	并行接口模式
1	0	串行接口模式
1	1	并行字节接口模式

并行接口

可以用标准 $\overline{CS}$ 和 $\overline{RD}$ 信号通过并行数据总线从 GYC7606B 读取数据。 $\overline{CS}$ 输入信号上升沿使并行数据总线进入高阻态，下降沿则使总线脱离高阻状态。 $\overline{RD}$ 管脚用来从转换结果寄存器中读取数据，对 GYC7606B 的 $\overline{RD}$ 管脚施加低脉冲序列，可使各通道的转换结果按照通道序号逐个输出到并行总线 DB[15:0]。BUSY 信号变为低电平后，第一个 $\overline{RD}$ 下降沿，并行总线上将输出通道 V1 的转换结果，下一个 $\overline{RD}$ 下降沿则将在总线上输出 V2 通道的转换结果，依此类推。并行模式下，FRSTDATA 表示何时回读第一个转换通道 V1 的结果。第一个 $\overline{RD}$ 下降沿，FRSTDATA 变为高电平，在 V1 的结果全部读取完毕后，恢复低电平。

串行接口

GYC7606B 有两个串行数据输出管脚：DOUTA 和 DOUTB。DOUTA 顺序输出通道转换数据，即按 V1、V2、V3、V4、V5、V6、V7、V8 的顺序输出；DOUTB 则是按照 V5、V6、V7、V8、V1、V2、V3、V4 的顺序输出转换数据。 $\overline{CS}$ 下降沿使数据线路 DOUTA 和 DOUTB 脱离高阻态，随后的 SCLK 上升沿则依次将所有数据位逐个送至对应的串行总线输出。可以使 $\overline{CS}$ 输入在整个串行读取的过程中拉低，也可以通过低脉冲的方式，以 16 个 SCLK 周期为一帧，逐帧读取。可以仅用一路 DOUT，通过 8 帧读取所有通道的转换数据，这种情况下，建议用 DOUTA 访问所有转换数据。也可以双路同时读取，这样 4 帧读取即可完成所有通道的转换数据，此时 DOUTA 依次输出 V1、V2、V3、V4 的数据转换结果，DOUTB 依次输出 V5、V6、V7、V8 的数据转换结果。FRSTDATA 输出信号指示何时回读第一通道 V1 的转换结果。在串行模式下， $\overline{CS}$ 下降沿使 FRSTDATA 脱离高阻态，并将 FRSTDATA 管脚设为高电平。在第 16 个 SCLK 下降沿后，FRSTDATA 输出恢复逻辑低电平。

并行字节接口

并行字节接口模式的工作原理与并行接口模式非常相似，不过各通道的转换结果是分两次8位传输读出。因此，读取GYC7606B所有通道的转换结果需要16个 $\overline{RD}$ 脉冲。在并行字节输出模式下，DB[7:0]用来将数据并行输出，DB14充当HBEN管脚。当DB14/HBEN被设置为逻辑高电平时，GYC7606B将首先输出转换数据的高字节（MSB），然后输出低字节（LSB）。当DB14/HBEN设置为逻辑低电平时，则首先输出转换结果的低字节。并行字节接口模式下，FRSTDATA在读取V1通道的MSB和LSB数据过程中都保持高电平。

应用

典型连接

图37显示了GYC7606B的典型连接图。GYC7606B有4个AV_{CC}管脚，应当使用4个100nF去耦电容分

别就近加在4个AVCC管脚处。4个AV_{CC}连接到一个总电源，并在总电源侧采用一个10μF去耦电容。

GYC7606B既可以在内部基准电压模式下工作，也可以在外部基准电压下工作。在图36配置中，GYC7606B被配置为在内部基准电压下工作。当电路板上只有一个GYC7606B芯片时，应采用一个10μF的电容对其REFIN/REFOUT管脚去耦。当应用中使用多个GYC7606B芯片时，请参考多芯片并联外部基准电压模式以及多芯片并联内部基准电压模式章节。

REFCAPA和REFCAPB管脚应当短路在一起，并与REFGND之间连接一个10μF的低ESR陶瓷去耦电容。

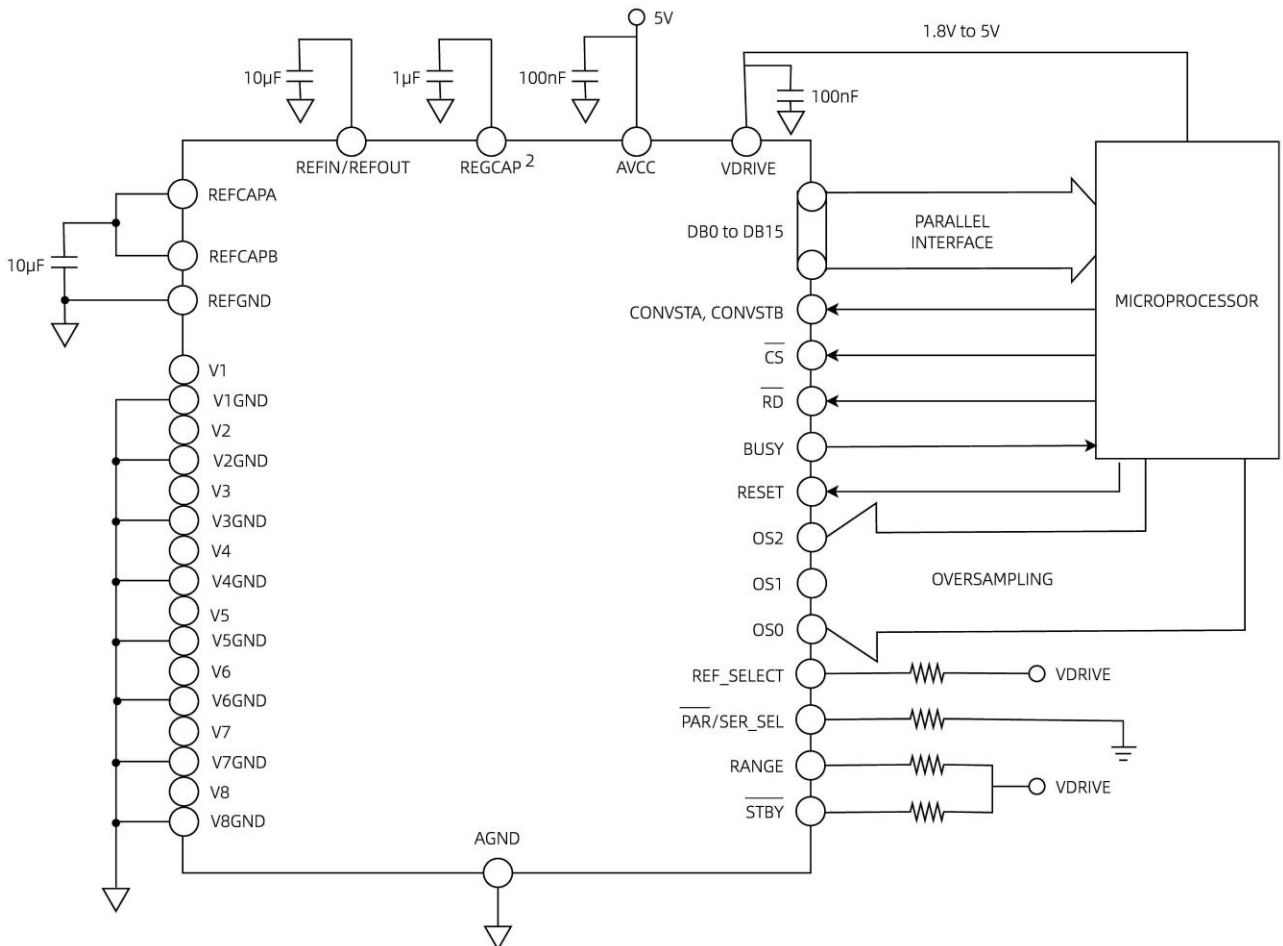
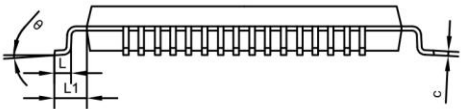
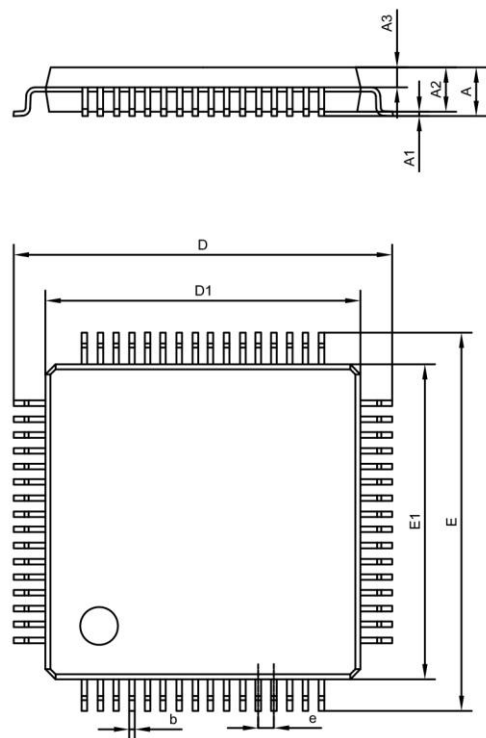


图 36 典型连接

订购信息

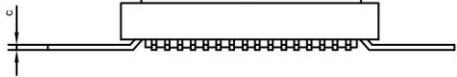
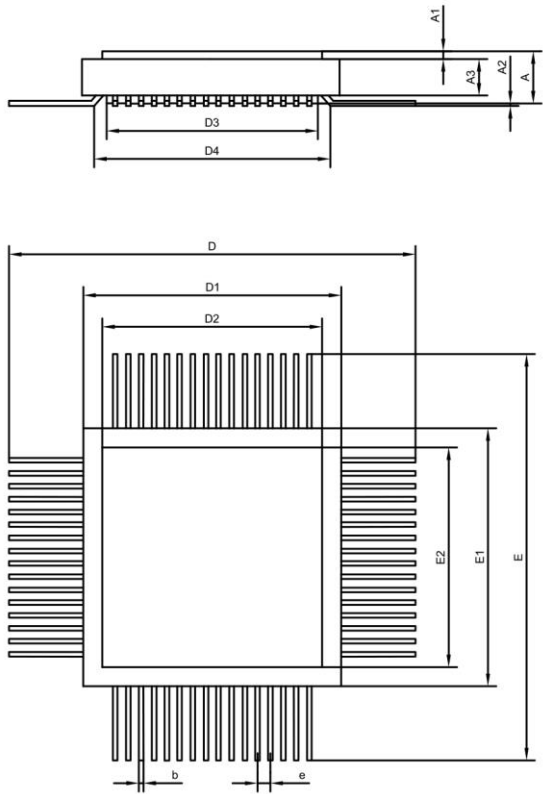
系列名称	产品型号	工作温度	封装形式	质量等级
GYC7606B	GYC7606BLQ64I+	-40°C ~ +125°C	LQFP-64L	工业扩展级
	GYC7606BLQ64M	-55°C ~ +125°C	LQFP-64L	普军级
	GYC7606BLQ64N1	-55°C ~ +125°C	LQFP-64L	GJB7400 N1 级
	GYC7606BCQMM	-55°C ~ +125°C	CQFP-64L	普军级
	GYC7606BCQMB	-55°C ~ +125°C	CQFP-64L	GJB597 B 级

外形类型及尺寸图



尺寸 符号	LQFP-64L		
	最小	典型	最大
A	—	—	1.60
A1	0.05	0.10	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.18	0.22	0.26
c	0.13	0.15	0.17
D	11.80	12.00	12.20
D1	9.90	10.00	10.10
E	11.80	12.00	12.20
E1	9.90	10.00	10.10
e	0.50 BSC		
L	0.45	0.60	0.75
L1	1.00 REF		
θ	0°	—	8°

单位：mm



尺寸 符号	CQFP-64L		
	最小	典型	最大
A	—	—	2.20
A1	0.15	0.25	0.35
A2	0.05	0.10	0.20
A3	1.10	1.20	1.30
b	0.20 BSC		
c	0.10	0.15	0.20
D	16.40	17.40	18.40
D1	9.96	10.20	10.44
D2	8.50	8.60	8.70
D3	6.10	6.30	6.50
D4	8.64	9.14	9.64
E	16.40	17.40	18.40
E1	9.96	10.20	10.44
E2	8.50	8.60	8.70
e	0.50 BSC		

单位：mm