



1 概述

GY3282 是一款高性能 CMOS ARINC 429 总线接口电路，满足 ARINC 429 规范要求的编码和时分复用串行数据协议。

GY3282 包括独立工作的两个接收器和一个发送器，两个接收器以 10 倍的接收数据速率频率工作，该频率可以与发送器的数据速率相同或不同。虽然两个接收器工作的频率相同，但它们在功能上是独立的，每个接收器都异步接收串行数据。该发送器部分主要由 FIFO 和时序电路组成。FIFO 用于缓存多达 8 个 ARINC 数据字，以用于串行传输。时序电路用于根据 ARINC 429 的要求正确地分离每个 ARINC 字。即使 ARINC 429 规定了 32bit 的字（包括奇偶校验），GY3282 也可以通过编程支持字长为 25bit 的字。接收器对所接收的数据字要进行奇偶校验，并将奇偶校验结果存储在接收锁存器中，在第一个接收数据字被校验的期间，输出到引脚 BD08 上（逻辑“0”表示接收并存储逻辑“1”的数量为奇数；逻辑“1”表示接收并存储逻辑“1”的数量为偶数）。在发送器中，奇偶校验位生成电路将根据 PARCK 控制信号的状态产生奇偶校验位。BD12 上的逻辑“0”将在输出数据流中产生一个奇校验位。

GY3282 是 5V 电源供电，完全保证在电压范围内（ $5V \pm 5\%$ ）和全军用温度范围内支持 ARINC 429 的数据速率。支持 UL、CMOS 或 NMOS 电路系统。GY3282 的发送器和接收器的数据速率可以是 0 到 100Kbits。外部时钟必须是数据速率的十倍，以确保数据唯一。通常情况下，该器件与 GY3182（满足 ARINC 429 的规格单片 DI 双极差分线路驱动器）配对使用。

GY3282 提供 40 管脚 CDIP、SBDIP、CSOP 以及 44 管脚 CLCC 封装形式，电路电气特性兼容 INTERSIL 公司的 HS-3282 和 HOLT 公司的 HI-3282。

2 特性说明

- ARINC 429 兼容
- 100Kbits 或 12.5Kbits 数据速率，25bits 或 32bits 字长
- 独立的接收器和发送器
- 两路独立工作的接收器，可直接连接 ARINC 总线
- 接收数据串行到并行转换
- 发送数据并行到串行转换
- 接收数据进行奇偶校验
- 生成发送数据的奇偶校验
- 自动字间隔计时器
- 单 5V 电源供电
- 低功耗
- 符合军用级工作温度标准（ $-55^{\circ}\text{C} \sim +125^{\circ}\text{C}$ ）

3 技术说明

3.1 引脚图

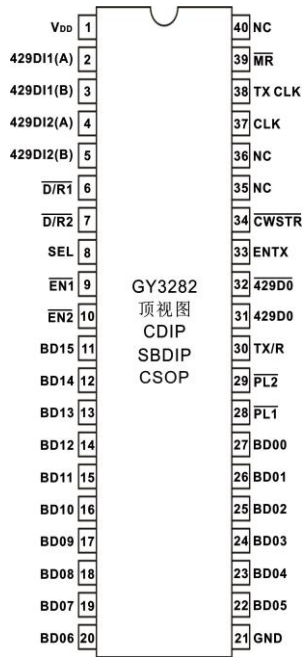


图 1 CDIP、SBDIP、CSOP 顶视图

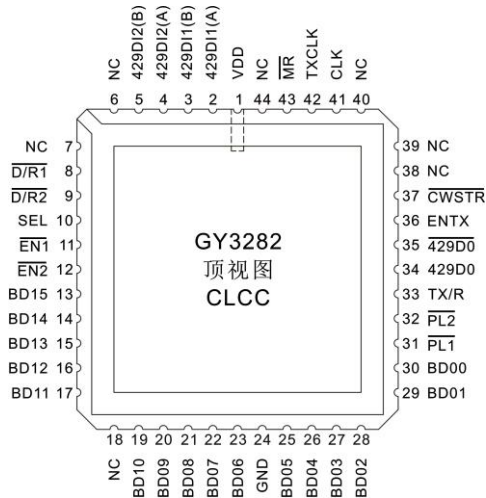


图 2 CLCC 顶视图

3.2 引出端功能

GY3282 引出端功能

引脚序号		符号	引脚方向	功能描述
CLCC	CDIP SBDIP CSOP			
1	1	V _{DD}	输入	电源
2	2	429 DI1 (A)	输入	接收通道 1 的 ARINC 429 的数据输入
3	3	429 DI1 (B)	输入	接收通道 1 的 ARINC 429 的数据输入
4	4	429 DI2 (A)	输入	接收通道 2 的 ARINC 429 的数据输入
5	5	429 DI2 (B)	输入	接收通道 2 的 ARINC 429 的数据输入
6	-	NC	-	不连接
7	-	NC	-	不连接
8	6	D/R1	输出	接收通道 1 输出就绪标志: 表示一个有效的数据字是随时可以读取
9	7	D/R2	输出	接收通道 2 输出就绪标志: 表示一个有效的数据字是随时可以读取
10	8	SEL	输入	总线数据选择器输入: 用于从接收器 1 或接收器 2 中选择一个 16 位数据字
11	9	EN1	输入	接收通道 1 的数据到数据总线的使能信号, 低电平有效
12	10	EN2	输入	接收通道 2 的数据到数据总线的使能信号, 低电平有效
13	11	BD15	输入输出	双向数据总线: 用于从接收器获取数据, 或将数据加载到发送器存储器或控制字寄存器。
14	12	BD14	输入输出	参见 Pin11 (CDIP, SBDIP, CSOP) 或 Pin13 (CLCC)

引脚序号		符号	引脚方向	功能描述
CLCC	CDIP SBDIP CSOP			
15	13	BD13	输入输出	参见 Pin11 (CDIP, SBDIP, CSOP) 或 Pin13 (CLCC)
16	14	BD12	输入输出	参见 Pin11 (CDIP, SBDIP, CSOP) 或 Pin13 (CLCC)
17	15	BD11	输入输出	参见 Pin11 (CDIP, SBDIP, CSOP) 或 Pin13 (CLCC)
18	–	NC	–	不连接
19	16	BD10	输入输出	参见 Pin11 (CDIP, SBDIP, CSOP) 或 Pin13 (CLCC)
20	17	BD09	输入输出	参见 Pin11 (CDIP, SBDIP, CSOP) 或 Pin13 (CLCC)
21	18	BD08	输入输出	参见 Pin11 (CDIP, SBDIP, CSOP) 或 Pin13 (CLCC)
22	19	BD07	输入输出	参见 Pin11 (CDIP, SBDIP, CSOP) 或 Pin13 (CLCC)
23	20	BD06	输入输出	参见 Pin11 (CDIP, SBDIP, CSOP) 或 Pin13 (CLCC)
24	21	GND	输入	地
25	22	BD05	输入输出	参见 Pin11 (CDIP,SBDIP,CSOP) 或 Pin13 (CLCC)
26	23	BD04	输入输出	参见 Pin11 (CDIP,SBDIP,CSOP) 或 Pin13 (CLCC)，不能载入数据到控制字寄存器
27	24	BD03	输入输出	参见 Pin11 (CDIP, SBDIP, CSOP) 或 Pin13 (CLCC)，不能载入数据到控制字寄存器
28	25	BD02	输入输出	参见 Pin11 (CDIP, SBDIP, CSOP) 或 Pin13 (CLCC)，不能载入数据到控制字寄存器
29	26	BD01	输入输出	参见 Pin11 (CDIP, SBDIP, CSOP) 或 Pin13 (CLCC)，不能载入数据到控制字寄存器
30	27	BD00	输入输出	参见 Pin11 (CDIP, SBDIP, CSOP) 或 Pin13 (CLCC)，不能载入数据到控制字寄存器
31	28	$\overline{\text{PL1}}$	输入	并行加载输入信号：加载第一个 16bit 字到发送器存储器
32	29	$\overline{\text{PL2}}$	输入	并行加载输入信号：加载第二个 16bit 字到发送器存储器，并启动数据传输到存储器堆栈中
33	30	TX/R	输出	发送器输出就绪标志：表示发送器存储器空
34	31	429DO	输出	发送器数据输出
35	32	$\overline{429DO}$	输出	发送器数据输出
36	33	ENTX	输入	发送器使能输入：从 FIFO 存储器启动数据传输
37	34	$\overline{\text{CWSTR}}$	输入	控制字输入选通信号：将控制字从数据总线锁存到控制字寄存器中
38	35	NC	–	不连接，必须悬空
39	36	NC	–	不连接，必须悬空或接地，但不能接 V _{CC}
40	–	NC	–	不连接。
41	37	CLK	输入	外部时钟输入：可以是 10 倍，或 80 倍的数据速率。如果同时使用 ARINC 数据速率必须是 10 倍最高的数据速率(典型值为 1MHz)
42	38	TXCLK	输出	发送器时钟输出：提供的时钟频率等于发送器的数据速率。
43	39	$\overline{\text{MR}}$	输入	主复位信号：低电平脉冲信号有效，用于复位 FIFO、位计数器，间隔计时器，字计数器，TX/R 和各种标志和控制信号。不复位控制字寄存器。通常只用在在上电或系统复位
44	40	NC	–	不连接

3.3 功能描述

GY3282 不仅支持 ARINC 429 规范的要求，还支持其他使用类似格式的串行数据协议（在单个低功耗 LSI 集成电路上实现接收、发送、同步、定时和奇偶校验功能）。它超出了 ARINC 的要求，提供奇偶校验，并支持 25 或 32 位字长。在总线接口电路中，接收器和发送器部分各自独立工作，接收器实现了串并转换功能，发送器实现了并串转换功能，通过一个 10 倍于数据速率的外部时钟输入，提供灵活的数据速率。

GY3282 通过一些外部控制信号可以实现上述的灵活性，通过使用内部控制字寄存器减少引脚数量。控制字选通信号（CWSTR）输入为逻辑“1”时，控制字从数据总线锁存到寄存器中。

GY3282 提供了 11 种控制功能，与总线数据线并列如下：

引脚名	符号	功能描述
BD05	SLFTST	自测试使能位，若 SLFTST = “0”，则启动自检功能。绕过输入接收器，将自测信号从发送器直接连接到接收器移位寄存器。接收器 1 接收同向数据，接收器 2 接收反向数据。注意，发送器的输出保持有效。
BD06	SDENB1	接收器 1 源/目标代码检验使能位，“1”使能，“2”禁止。
BD07	X1	若 SDENB1 = “1”，则该位数据与 ARINC 数据位#9 比较。如果 Y1 同时相同（参看 Y1），该数据字会被接收通道 1 接收。若 SDENB1 = “0”，则忽略该 bit。
BD08	Y1	若 SDENB1 = “1”，则该位数据与 ARINC 数据位#10 比较。如果 X1 同时相同（参看 X1），该数据字会被接收通道 1 接收。若 SDENB1 = “0”，则忽略该 bit。
BD09	SDENB2	接收器 2 源/目标代码检验使能位，“1”使能，“2”禁止。
BD10	X2	若 SDENB2 = “1”，则该位数据与 ARINC 数据位#9 比较。如果 Y2 同时相同（参看 Y2），该数据字会被接收通道 2 接收。若 SDENB2 = “0”，则忽略该 bit。
BD11	Y2	若 SDENB1 = “1”，则该位数据与 ARINC 数据位#10 比较。如果 X2 同时相同（参看 X2），该数据字会被接收通道 2 接收。若 SDENB1 = “0”，则忽略该 bit。
BD12	PARCK	校验位检查。逻辑“0”选择奇校验，逻辑“1”选择偶校验。
BD13	TXSEL	发送器速率选择。若 TXSEL = “0”，则发送数据速率=时钟频率/10；若 TXSEL = “1”，则发送数据速率 = 时钟频率/80。
BD14	RCVSEL	接收器速率选择。若 RCVSEL = “0”，则接收送数据速率=时钟频率/10；若 RCVSEL = “1”，则接收数据速率 = 时钟频率/80。
BD15	WLSEL	字长度选择。若 WLSEL = “0”，则支持数据字长为 32bit；若 WLSEL = “1”，则支持数据字长为 25bit。

3.3.1 ARINC 429 的数据格式如下（接收器的输入和发送器的输出）：

a) 当采用 32 位数据字长时，其数据格式如下所示：

ARINC 32BIT 数据格式

ARINC BIT #	功能
1 ~ 8	Label
9 ~ 10	SDI or Data
11	LSB
12 ~ 27	Data
28	MSB
29	Sign

ARINC BIT #	功能
30, 31	SSM
32	Parity Status

这种格式会变为下面的格式：

WORD1 格式

BI-DIRECTIONAL BIT #	FUNCTION	ARINC BIT #
15, 14	Data	13, 12
13	LSB	11
12, 11	SDI or Data	10, 9
10, 9	SSM Status	31, 30
8	Parity Status	32
7 ~ 0	Label	1 ~ 8

WORD2 格式

BI-DIRECTIONAL BIT #	FUNCTION	ARINC BIT #
15	Sign	29
14	MSB	28
13 ~ 00	Data	27 ~ 14

接收器的奇偶校验位状态：“0” = 奇校验，“1” = 偶校验。

如果在接收器接收完整个数据字之前，接收器输入的数据字串被打断，则接收器将重置并忽略部分接收到的数据字。

如果发送器传输连续的数据字，每个字将被一个 4 位的“null”状态分隔（正输出和负输出都将保持 0 电平）。

b) 当采用 25 位字长时，其数据格式如下所示：

ARINC 25BIT 数据格式

ARINC BIT #	FUNCTION
1 ~ 8	Label
9	LSB
11 ~ 23	Data
24	MSB
25	Parity Status

这种格式会变为下面的格式，其中数据 1 的格式为：

WORD1 格式

BI-DIRECTIONAL BIT #	FUNCTION	ARINC BIT #
15 ~ 9	Don't Care	XXX
8	Parity Status	25
7 ~ 0	Label	1 ~ 8

数据 2 的格式为：

WORD2 格式

BI-DIRECTIONAL BIT #	FUNCTION	ARINC BIT #
15	MSB	24
14 ~ 1	Data	23 ~ 10
0	LSB	9

接收器的奇偶校验位状态：“0” = 奇校验，“1” = 偶校验。

25 位字长数据格式没有 S/D 解码器。

3.3.2 接收器功能

由于两个接收器在功能上是相同的，因此这里只对其中一个进行详细描述，以图 3 内部框图为参考。

接收器由以下电路组成：

a) Line Receiver:

线路接收器的功能是将 10V 差分总线数据格式转换为 5V 内部逻辑电平。

b) Self-Test Data Selector (SEL)

线路接收器的输出是自测试数据选择器 (SEL) 的两个输入之一。数据选择器的另一个输入是来自发送器部分的自测信号。

c) Word Gap Timer

输入数据（自测试数据或总线数据）由字间隔定时器进行双重采样，以生成数据时钟。接收器采样频率为 1MHz 或 125kHz，由接收器/发送器时序电路产生。该采样频率是数据速率的十倍，以确保所有的数据都被正确采样。

d) Data Shift Register (Data S/RI)

产生的数据时钟将数据移到一个 32 位长的数据移位寄存器 (Data S/RI)。数据字的长度通过控制寄存器的 WLSEL 选择为 25 位或 32 位。当数据完整接收后，字间隔计时器会产生一个内部信号 (WDCNT1)。

e) Source/Destination (S/D) Decoder

S/D 解码电路比较用户设置字 (X 和 Y) 和数据位 9 和 10。如果两个码都匹配，会产生一个高电平使能信号 WDCNT1 锁存数据到接收缓冲器；否则，该数据会被忽略，不会被锁存。S/D 解码电路通过设置控制字 S/D ENB 来启用和禁用。当数据被锁存后，会产生指示信号 $\overline{D/R1}$ ，该信号表明数据已经准备好。

f) 当接收数据被移位到移位寄存器后，会放入到保持寄存器中。然后产生一个设备就绪标志，表明数据已经准备好可以提取了。如果数据被忽略并存放在保存寄存器中，则在接收到下一个数据字时将其重写。

g) 保持寄存器接收到的数据以两个 16bit 字的形式输出到数据总线上（无论数据格式是 32bit 还是 25bit）。直到下个数据被写入保持寄存器之前，数据可以一直被读取。

h) 输入数据要进行奇偶校验（逻辑“0”为奇校验，逻辑“1”为偶校验），结果会保存在接收锁存器中，在第一个接收数据字被校验的期间，通过 BD08 输出。

i) 为了读取接收器数据，用户需设置接收器数据选择信号 (SEL) 为“0”，并将输出使能端 ($\overline{EN1}$) 拉低，WORD1 被放到数据总线上。为了读取 WORD2，用户需设置接收器数据选择信号 (SEL) 为“1”

并将输出使能端 ($\overline{\text{EN1}}$) 拉低, **WORD2** 放到数据总线上。使能脉冲持续时间与从数据总线读取数据字所需的电路要求相匹配。第二个使能脉冲也用于重置 $\overline{\text{D/R1}}$ 触发器, 完成了一个接收数据周期。

3.3.3 发送器功能

GY3282 的发送部分由 8 个 31bits 的 FIFO、奇偶校验位生成电路、发送 Word Gap 电路以及驱动电路构成。

a) FIFO Memory

该 FIFO 的工作方式: 加载在输入寄存器中的数据自动传输到串行数据传输输出寄存器。这消除了大量的数据管理时间, 因为数据从输入寄存器到输出寄存器不需要计时。FIFO 的输入寄存器由两个分别被 $\overline{\text{PL1}}$ 和 $\overline{\text{PL2}}$ 控制的 D 触发器组成, $\overline{\text{PL1}}$ 必须先于 $\overline{\text{PL2}}$ 产生。多个 $\overline{\text{PL1}}$ 会导致数据被覆盖。当 $\overline{\text{PL2}}$ 产生后, 数据会传送到 FIFO。数据总线上的信号会在 PL 信号的上升沿被采样至 D 触发器。如果 FIFO 为空, 或者 FIFO 堆栈没有写满, 数据会自动传送到存储堆栈到输出寄存器或者最后一个空的 FIFO 寄存器。

若发送使能信号 (ENTX) 为 “0”, 数据会保持在输出寄存器。该 FIFO 可以保存 8 个 31bit 字。如果 FIFO 已满, 并且 PL 信号指示新的数据到来, 输入寄存器内的数据会被新的数据覆盖。数据会继续保存在存储中直至 ENTX 为 “1”。

当 ENTX 为 1 后, 会使能 FIFO 的时钟, 并且将数据串行输出至发送驱动器。只有当 ENTX 为 “0” 时, 数据才能加载到 FIFO。在发送使能时向 FIFO 写入数据是被禁止的。(当 ENTX 为 “1” 时, 若 $\overline{\text{PL1}}$ 或 $\overline{\text{PL2}}$ 有效会导致 FIFO 混乱, 只能通过 MR 信号复位)

b) Output Register of the FIFO

FIFO 的输出寄存器被设计为通过 WLSEL 控制, 可以移位 24bit 数据或者 31bit 数据。TX 字间隔计时器电路在两个数据字之间插入 4bit 时间的间隔。这就使发送电路发送一个数据字的最小时间为 29bit 时间或 36bit 时间。假设 ENTX 信号保持为 “1”, 会产生控制信号将数据从存储堆栈中移出, 直至最后一个字从 FIFO 中移出。此时, 会产生发送准备好状态指示信号 (TX/R) 告知用户发送电路已经准备好接收另外 8 个数据字。在发送期间, 如果 ENTX 被拉低然后变高, 发送将被中止并且有一部分数据未被发送, FIFO 的数据完整性会被破坏。

c) Bit Counter

位计数器用于判定最后的数据位移出 FIFO 并插入奇偶校验位。奇偶校验位生成电路通过 PARCK 电路来控制, PARCK 电路决定输出数据字是使用奇偶校验还是奇偶校验。PARCK 为 “0” 时将插入奇校验位, 为 “1” 时插入偶校验位。

3.3.4 接口技术示例

由于数据总线被发送电路和接收电路复用, 因此, 总线控制必须在发送电路和接收电路中同步。

图 4 给出了 GY3282 收发控制的时序图。加载发送器 FIFO 的时序如图中的 TIME INTERVAL A 所示。发送器准备就绪标志 (TX/R) 有效表明发送存储已空。此时可以在数据总线上发送一个 16 位字数据, 并通过并行加载信号 ($\overline{\text{PL1}}$) 选通发送器。32 位字的第二部分同样用 $\overline{\text{PL2}}$ 加载到发送器, 同时, 它也开始向堆栈传输数据。这是连续的, 直到内存被填满, 也就是 8 个 31 位字。用户必须控制加载到内存中的字数,

以确保没有数据被其他数据重写。当用户载入发送数据时，即使 $\overline{D/R1}$ 信号表明接收数据已经准备好，用户也无需去响应，如时序图中的 TIME INTERVAL B 所示。如果用户决定在发射器完全加载之前获取接收到的数据，两个并行加载信号（ $\overline{PL1}$ 和 $\overline{PL2}$ ）要设置为逻辑“1”，当 SEL 为逻辑“0”时，产生 $\overline{EN1}$ 选通脉冲。在 $\overline{EN1}$ 的下降沿之后，接收到的第一个 16 位数据在数据总线上生效。在 $\overline{EN1}$ 的上升沿，需要切换信号 SEL，去接收第二个 16 位数据。通过 $\overline{EN1}$ 脉冲选通接收器，启用第二个 16 位字，并重置接收器就绪标志 $\overline{D/R1}$ 。将 SEL 信号重置为逻辑“0”以使接收端准备下一个读周期。在获取接收数据时，可以载入发送数据，通过将 $\overline{PL}$ 信号以及 $\overline{EN}$ 信号变成 TIME INTERVAL B 中所示的状态即可实现。TIME INTERVAL C 给出了接收器 2 中的相关时序控制，与接收器 1 类似。TIME INTERVAL D 给出了发送器加载序列的其余部分，以及通过将信号 TX 使能切换到逻辑“1”状态以开始发送数据。当 TXEN 为 1 后，数据开始发送。TIME INTERVAL E 是从 FIFO 内存传输所有数据所需的时间，可以是 288 位时长，也可以是 232 位时长。

3.3.5 中继器操作

这种操作模式允许将接收到的数据字直接放置在 FIFO 中进行传输。时序如图 9 所示。本例中使用了一个 32 位字长，数据字被移到移位寄存器中， $\overline{D/R1}$ 标志有效输出“0”。当 SEL 为逻辑“0”时，产生 $\overline{EN1}$ 选通脉冲，这与普通的接收操作相同，将一半的数据字（16 位）放在数据总线上。在 $\overline{EN1}$ 有效的同时选通 $\overline{PL1}$ ，这 16 位数据字将被从总线上取下并放置在 FIFO 中。对于数据字的第二个 16 位数据字，当 SEL 为逻辑“1”时，再次产生 $\overline{EN1}$ 选通脉冲。在 $\overline{EN1}$ 有效的同时选通 $\overline{PL2}$ ，这数据的第二个 16 位数据字被放置在 FIFO 中。奇偶校验位将被剥离，留下 FIFO 中的 31 位数据字准备传输，如图 8 所示。

3.4 工作原理框图

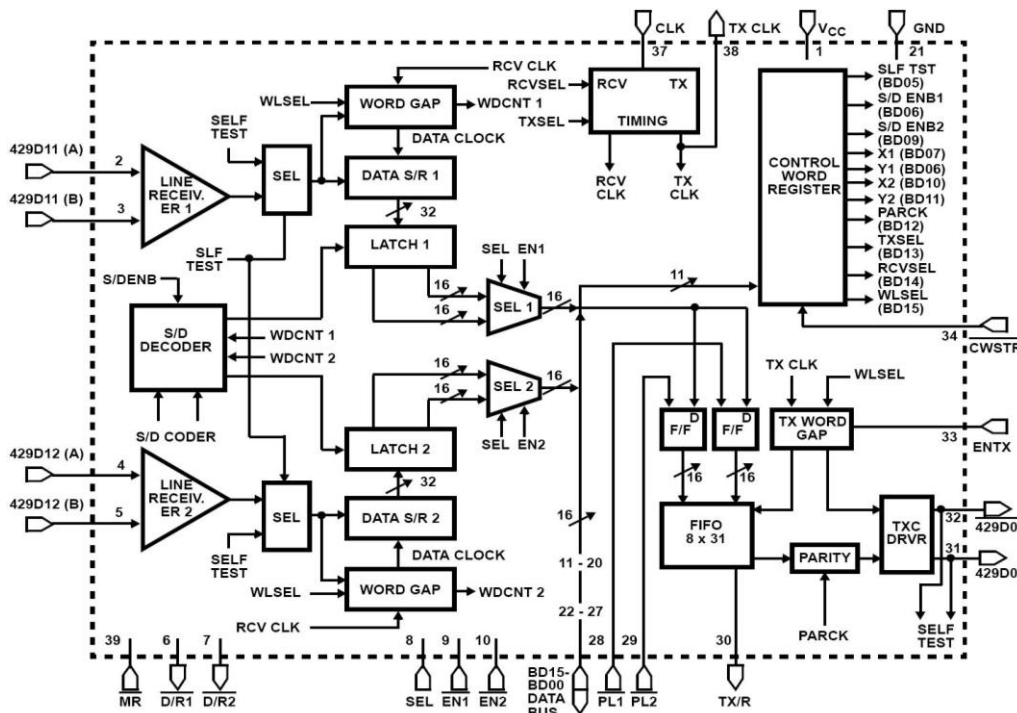


图 3 工作原理框图

3.5 绝对最大额定值^[1]

电源电压	+7.0V
输入、输出或 I/O 电压 (Pin2 ~ Pin5 除外)	GND-0.3V ~ (V _{DD} +0.3V)
输入电压 (Pins 2 ~ 5)	-29V ~ +29V
ESD 等级	2 级 (2000V ≤ ESD ≤ 3999V)
工作温度	-55°C ~ +125°C
最大存储温度	-65°C ~ +150°C
最大引脚温度 (焊接 10s)	+300°C

注^[1]: 在“绝对最大额定值”中列出的是器件正常工作的额定值, 并未涉及器件在这些条件或超出这些条件下的功能操作。器件不能长时间工作在绝对最大额定值条件下, 否则会影响其可靠性和对器件造成永久损害。

3.6 参数列表

直流电性能指标 (除非另有说明, V_{DD} = 5V±5%, -55°C ≤ T_A ≤ +125°C)

参数	符号	测试条件	最小值	最大值	单位
ARINC 输入引脚 Pin2 ~ Pin3、Pin4 ~ Pin5					
逻辑“1”输入电压	V _{IH}	V _{DD} = 5.25V	6.7	13.0	V
逻辑“0”输入电压	V _{IL}	V _{DD} = 5.25V	-13.0	-6.7	V
“Null”输入电压	V _{NUL}	V _{DD} = 4.75V, 5.25V	-2.5	+2.5	V
共模电压范围	V _{CH}	V _{DD} = 4.75V, 5.25V	-5.0	+5.0	V
输入漏电流	I _{IH}	V _{DD} = 5.25V, V _{IN} = ±6.5V	-	200	μA
输入漏电流	I _{IL}	V _{DD} = 5.25V, V _{IN} = 0.0V	-450	-	μA
差分输入阻抗	R _I	V _{DD} = 5.25V, V _{IN} = +5V, -5V	12	-	kΩ
输入到 V _{DD} 阻抗	R _H	V _{DD} = 5.25V, V _{IN} = 0.0V	12	-	kΩ
输入到 GND 阻抗	R _G	V _{DD} = Open, V _{IN} = 5.0V	12	-	kΩ
双向输入引脚 Pin11 ~ Pin20、Pin22 ~ Pin27					
逻辑“1”的输入电压	V _{IH}	V _{DD} = 5.25V	2.1	-	V
逻辑“0”的输入电压	V _{IL}	V _{DD} = 4.75V	-	0.7	V
输入漏电流	I _{IH}	V _{DD} = 5.25V, V _{IN} = 5.25V	-	1.5	μA
输入漏电流	I _{IL}	V _{DD} = 5.25V, V _{IN} = 0.0V	-1.5	-	μA
其他输入引脚 Pin8 ~ Pin 10、Pin28、Pin 29、Pin 33、Pin 34、Pin 37、Pin 39					
逻辑“1”的输入电压	V _{IH}	V _{DD} = 5.25V	3.5	-	V
逻辑“0”输入电压	V _{IL}	V _{DD} = 4.75V	-	0.7	V
输入漏电流	I _{IH}	V _{DD} = 5.25V, V _{IN} = 5.25V	-	10	μA
输入漏电流	I _{IL}	V _{DD} = 5.25V, V _{IN} = 0.0V	-75	-	μA
输出引脚 Pin6、Pin7、Pin11 ~ Pin20、Pin22 ~ Pin27、Pin30 ~ Pin32、Pin38、Pin1					
逻辑“1”的输出电压	V _{OH}	V _{DD} = 4.75V, I _{OH} = -1.5mA	2.7	-	V
逻辑“0”的输出电压	V _{OL}	V _{DD} = 4.75V, I _{OL} = 1.8mA	-	0.4	V
待机电流	I _{CC1}	V _{DD} = 5.25V, V _{IN} = 0V (除了 Pin9, Pin10, Pin29=5.25V)	-	20	mA
工作电流	I _{CC2}	V _{DD} = 5.25V, V _{IN} = 5.25V (除了 Pin8, Pin33 = 0.0V) CLK = 1MHz	-	20	mA

交流电性能指标（除非另有说明， $V_{DD} = 5V \pm 5\%$ ， $-55^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ ）

参数	符号	测试条件	最小值	最大值	单位
时钟频率	FC	$V_{DD} = 4.75V, 5.25V$	–	1	MHz
数据速率 ^[1]	FD	$V_{DD} = 4.75V, 5.25V$	–	100	kHz
数据速率 ^[2]	FD	$V_{DD} = 4.75V, 5.25V$	–	12.5	kHz
主复位脉冲宽度	TMR	$V_{DD} = 4.75V, 5.25V$	200	–	ns
接收器时序					
从第 32 个 Bit 到接收器就绪时间 ^[1]	T_D/R_2	$V_{DD} = 4.75V, 5.25V$	–	16	μs
从第 32 个 Bit 到接收器就绪时间 ^[2]	T_D/R_2	$V_{DD} = 4.75V, 5.25V$	–	128	μs
接收器准备就绪到启用时间	T_D/R_{EN}	$V_{DD} = 4.75V, 5.25V$	0	–	ns
数据使能脉冲宽度	T_{EN}	$V_{DD} = 4.75V, 5.25V$	200	–	ns
数据字使能间隔时间	T_{ENEN}	$V_{DD} = 4.75V, 5.25V$	50	–	ns
数据启用到接收器就绪复位时间	$T_{END/R}$	$V_{DD} = 4.75V, 5.25V$	–	200	ns
输出数据有效启用时间	T_{ENDATA}	$V_{DD} = 4.75V, 5.25V$	–	200	ns
数据使能到数据选择时间	T_{ENSEL}	$V_{DD} = 4.75V, 5.25V$	20	–	ns
数据选择数据启用时间	T_{SELEN}	$V_{DD} = 4.75V, 5.25V$	20	–	ns
输出数据禁止时间	T_{DATAEN}	$V_{DD} = 4.75V, 5.25V$	–	80	ns
控制字时序					
控制字选通脉冲宽度	T_{CWSTR}	$V_{DD} = 4.75V, 5.25V$	130	–	ns
控制字建立时间	T_{CWSET}	$V_{DD} = 4.75V, 5.25V$	130	–	ns
控制字保持时间	T_{CWHLD}	$V_{DD} = 4.75V, 5.25V$	0	–	ns
发送器 FIFO 写入时序					
并行加载脉冲宽度	T_{PL}	$V_{DD} = 4.75V, 5.25V$	200	–	ns
并行加载到并行加载 2 延迟	T_{PL12}	$V_{DD} = 4.75V, 5.25V$	0	–	ns
发送器准备时间延迟	$T_{TX/R}$	$V_{DD} = 4.75V, 5.25V$	–	840	ns
数据字建立时间	T_{DWSET}	$V_{DD} = 4.75V, 5.25V$	110	–	ns
数据字保持时间	T_{DWHLD}	$V_{DD} = 4.75V, 5.25V$	0	–	ns
发送器输出时序					
发送使能到输出数据有效时间 ^[1]	T_{ENDAT}	$V_{DD} = 4.75V, 5.25V$	–	25	μs
发送使能到输出数据有效时间 ^[2]	T_{ENDAT}	$V_{DD} = 4.75V, 5.25V$	–	200	μs
输出数据 bit 时间 ^[1]	T_{BIT}	$V_{DD} = 4.75V, 5.25V$	4.95	5.05	μs
输出数据 bit 时间 ^[2]	T_{BIT}	$V_{DD} = 4.75V, 5.25V$	39.6	40.4	μs
输出数据 Null 时间 ^[1]	T_{NUL}	$V_{DD} = 4.75V, 5.25V$	4.95	5.05	μs
输出数据 Null 时间 ^[2]	T_{NUL}	$V_{DD} = 4.75V, 5.25V$	39.6	40.4	μs
数据字间隔时间 ^[1]	T_{GAP}	$V_{DD} = 4.75V, 5.25V$	39.6	40.4	μs
数据字间隔时间 ^[2]	T_{GAP}	$V_{DD} = 4.75V, 5.25V$	316.8	323.2	μs
输出发送结束到 TX/R 设置时间	$T_{DTX/R}$	$V_{DD} = 4.75V, 5.25V$	–	400	ns
传输结束到关闭时间	$T_{ENTX/R}$	$V_{DD} = 4.75V, 5.25V$	0	–	ns
中继器操作时序					
数据使能到并行加载延迟时间	T_{ENPL}	$V_{DD} = 4.75V, 5.25V$	0	–	ns

参数	符号	测试条件	最小值	最大值	单位
数据使能保持到并行加载时间	T_{PLEN}	$V_{DD} = 4.75V, 5.25V$	0	–	ns
启用传输延迟时间	T_{TX}/R_{EN}	$V_{DD} = 4.75V, 5.25V$	0	–	ns

注^[1]: 100kHz 数据速率;

注^[2]: 12.5kHz 数据速率;

电性能指标 (除非另有说明, $V_{DD} = 5V \pm 5\%$, $-55^{\circ}C \leq T_A \leq +125^{\circ}C$)

参数	符号	测试条件 ^[1]	最大值	最小值	单位
差分输入电容	CD	$V_{DD} = \text{Open}, f = 1MHz^{[2][3]}$	–	20	pF
输入到 V_{DD} 电容	CH	$V_{DD} = GND, f = 1MHz^{[2][3]}$	–	20	pF
输入到 GND 电容	CG	$V_{DD} = \text{Open}, f = 1MHz^{[2][3]}$	–	20	pF
输入电容	CI	$V_{DD} = \text{Open}, f = 1MHz^{[2][4]}$	–	15	pF
输出电容	CO	$V_{DD} = \text{Open}, f = 1MHz^{[2][5]}$	–	15	pF
时钟上升时间	T_{LHC}	CLK = 1MHz, 电压 0.7V ~ 3.5V	–	10	ns
时钟下降时间	T_{HLC}	CLK = 1MHz, 电压 3.5V ~ 0.7V	–	10	ns
输入上升时间	T_{LHI}	电压 0.7V ~ 3.5V ^[6]	–	15	ns
输入下降时间	T_{HLI}	电压 3.5V ~ 0.7V ^[6]	–	15	ns

注^[1]: 表中列出的参数是通过设计或工艺参数控制的, 不直接测试。这些参数在设计时采用的工艺和方案就已确定的;

注^[2]: 所有测试都以器件的地为参考;

注^[3]: Pin2 ~ Pin3, Pin4 ~ Pin5;

注^[4]: Pin8 ~ Pin10, Pin28, Pin29, Pin33, Pin34, Pin37, Pin39;

注^[5]: Pin6, Pin7, Pin11 ~ Pin20, Pin22 ~ Pin27, Pin30 ~ Pin32, Pin38;

注^[6]: Pin8 ~ Pin20, Pin22 ~ Pin29, Pin33, Pin34。

3.7 时序波形图

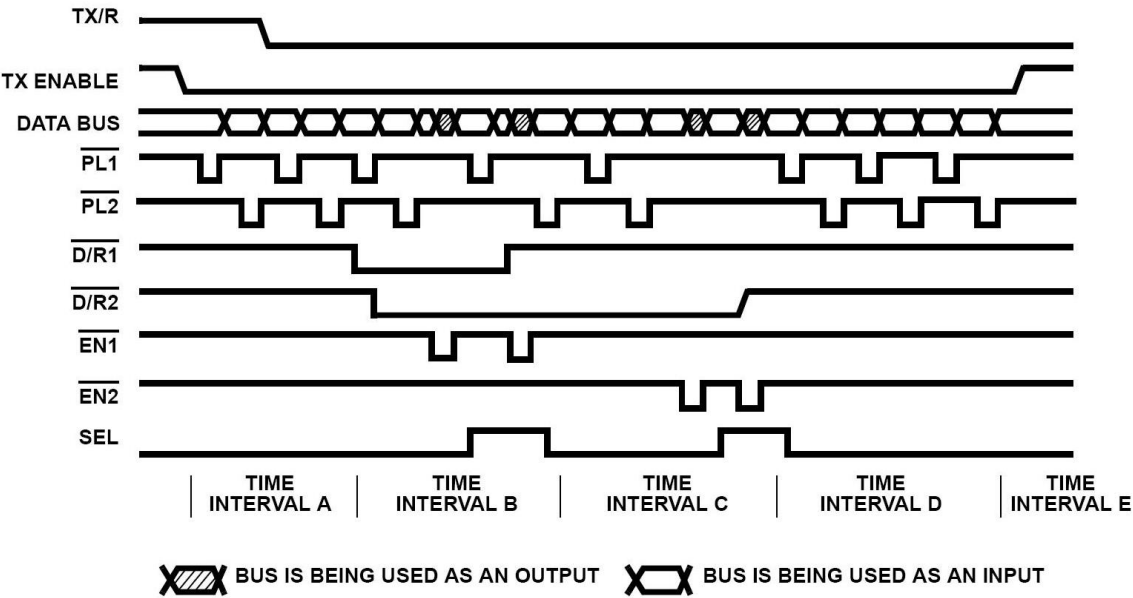


图 4 典型接口时序图

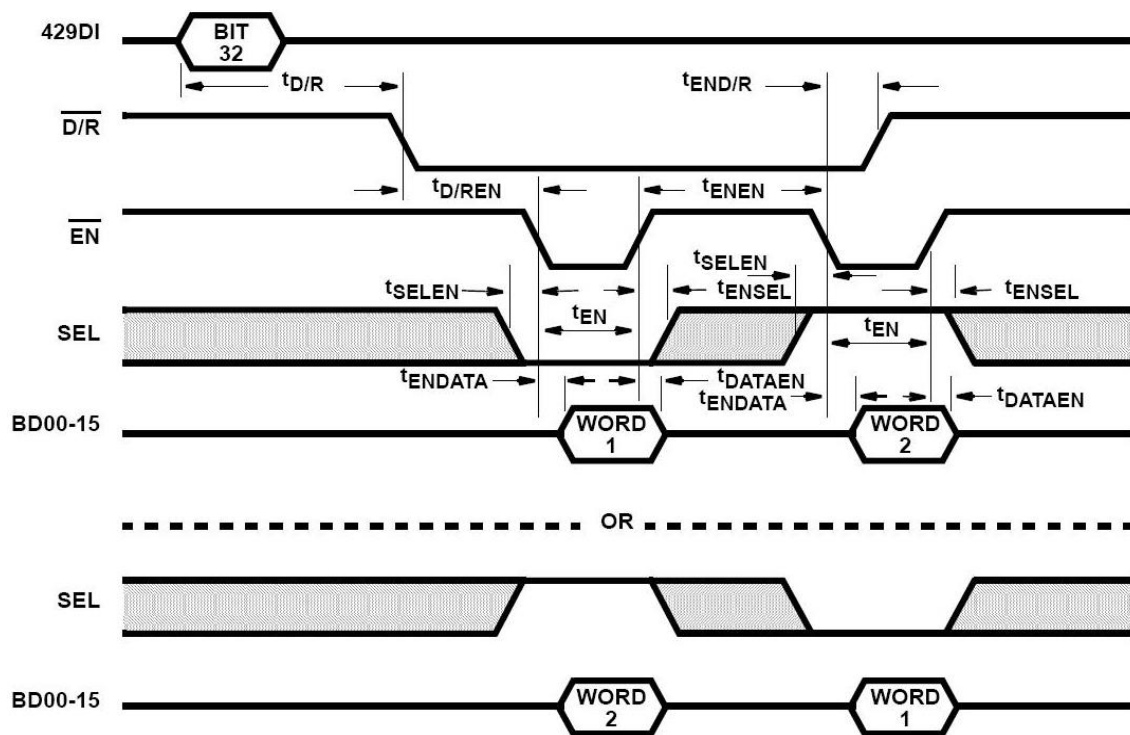


图 5 接收器时序图

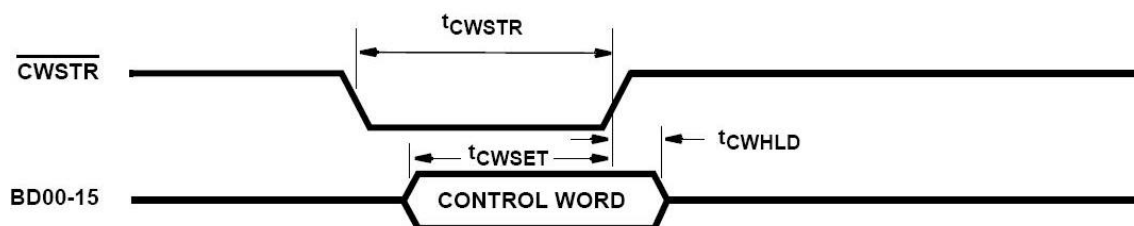


图 6 控制字时序

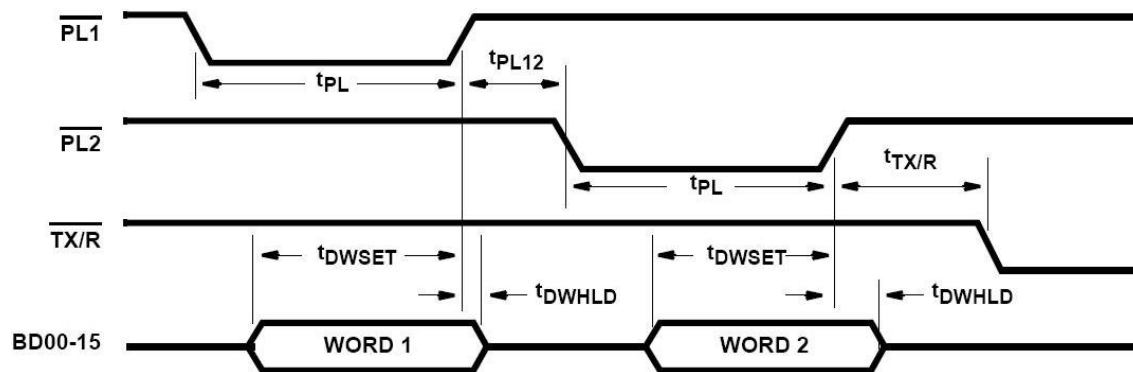


图 7 发送器 FIFO 写入时序

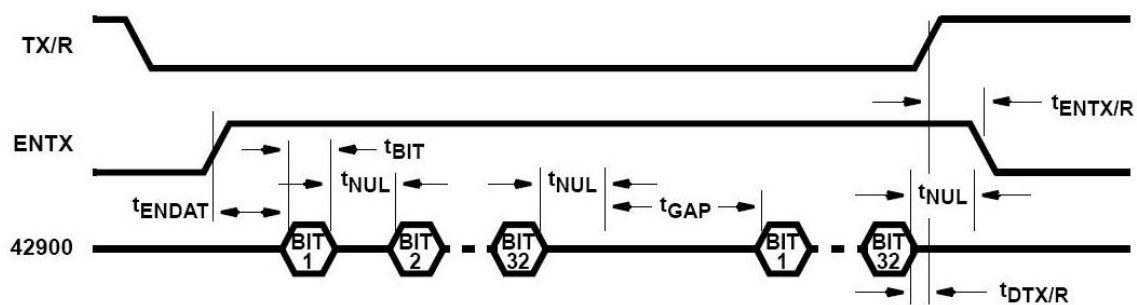


图 8 发送器输出时序

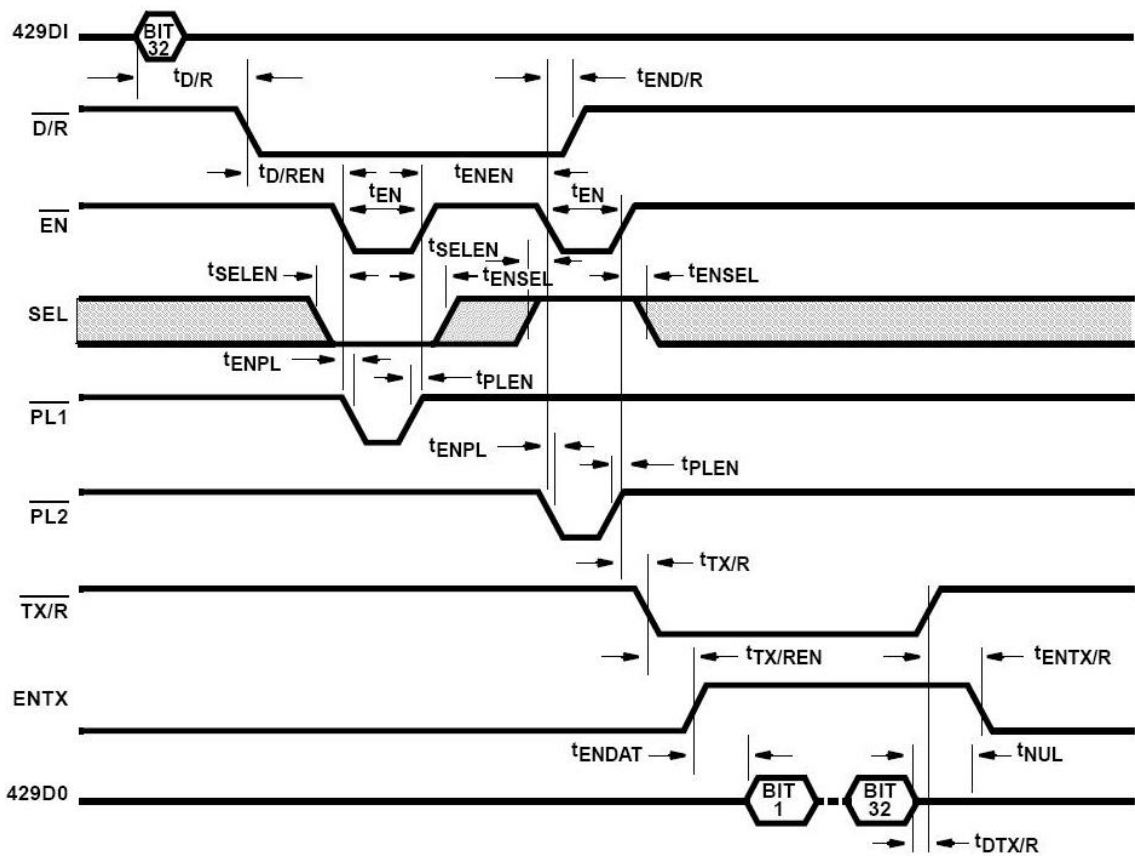


图 9 中继器操作时序

3.8 典型应用电路

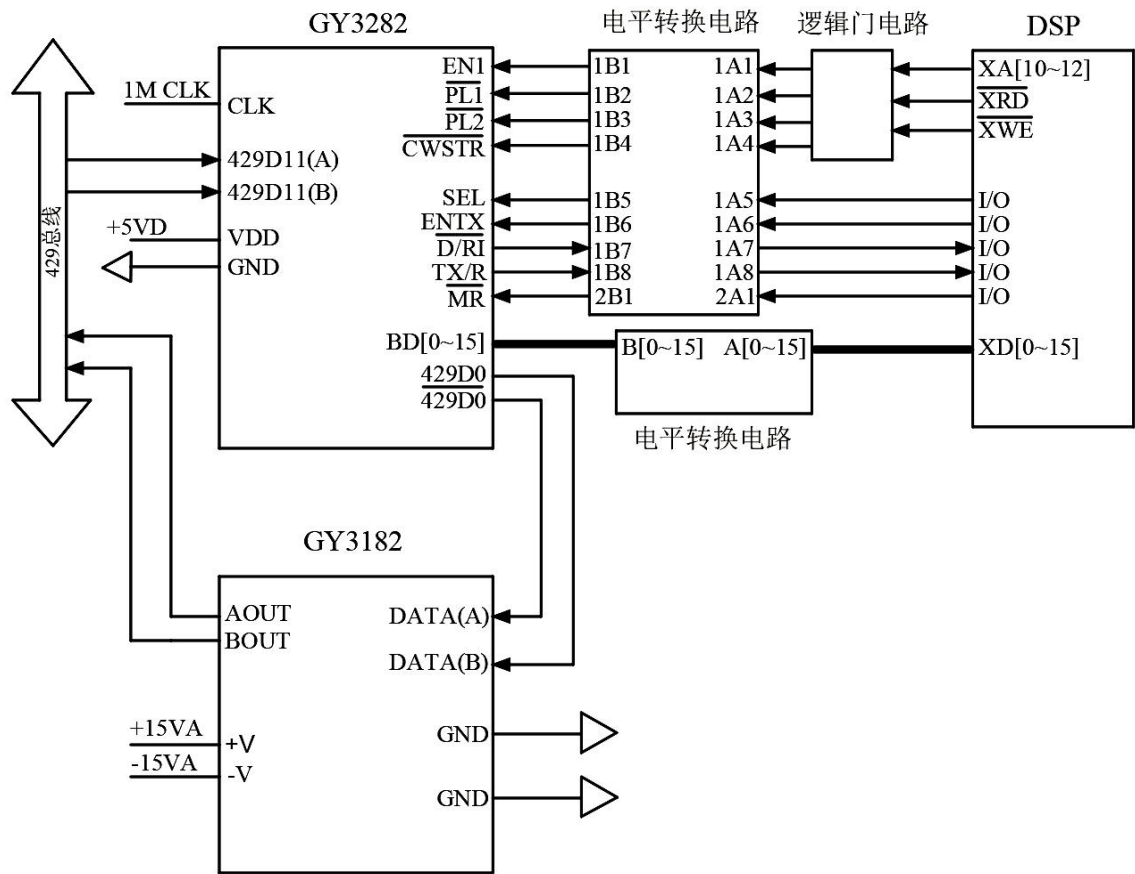
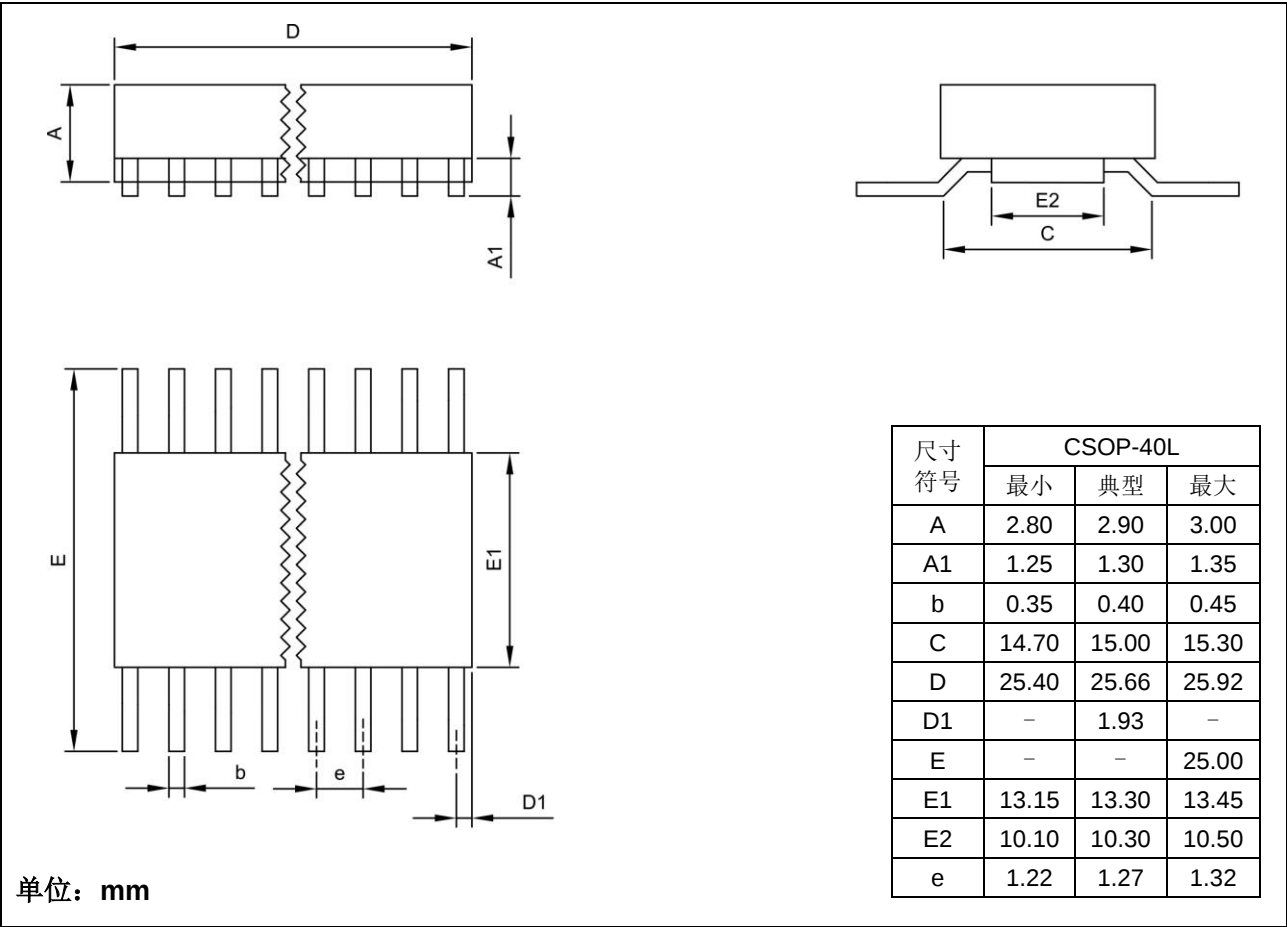


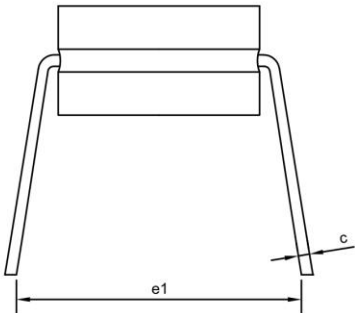
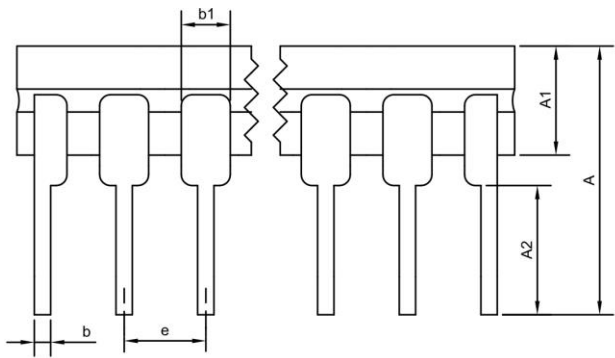
图 10 典型应用电路

4 订购信息

系列名称	产品型号	工作温度	封装形式	质量等级
GY3282	GY3282CCM	-55℃ ~ +125℃	CSOP-40L	普军级
	GY3282CCB	-55℃ ~ +125℃	CSOP-40L	GJB597B B 级
	GY3282DM	-55℃ ~ +125℃	CDIP-40L	普军级
	GY3282DB	-55℃ ~ +125℃	CDIP-40L	GJB597B B 级
	GY3282SBWM	-55℃ ~ +125℃	SBDIP-40L	普军级
	GY3282SBWB	-55℃ ~ +125℃	SBDIP-40L	GJB597B B 级
	GY3282LMM	-55℃ ~ +125℃	CLCC-44L	普军级
	GY3282LMB	-55℃ ~ +125℃	CLCC-44L	GJB597B B 级

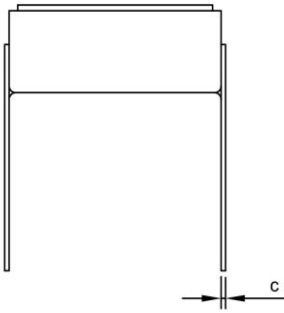
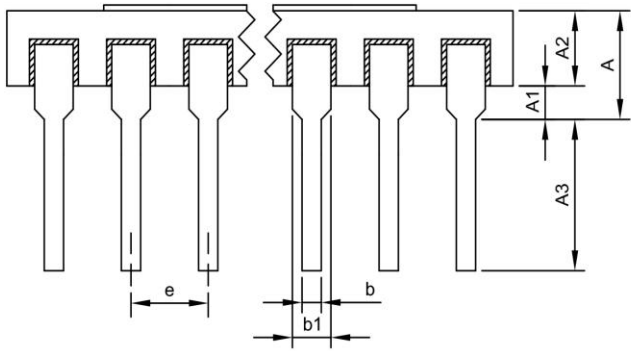
5 外形类型及尺寸图





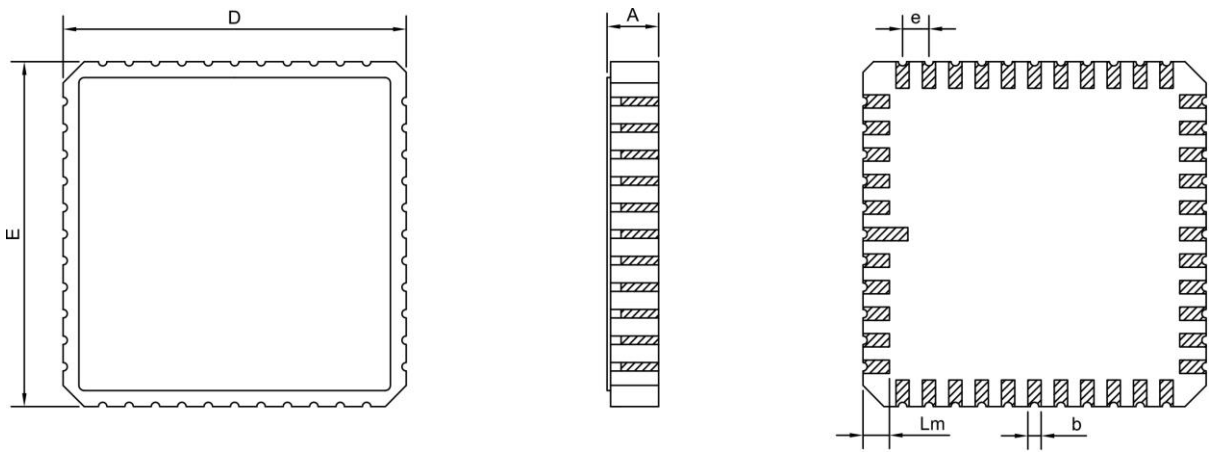
尺寸 符号	CDIP-40L		
	最小	典型	最大
A	8.44	8.72	9.00
A1	3.91	4.15	4.39
A2	3.41	3.65	3.89
b	0.41	0.46	0.51
b1	1.37	1.42	1.47
c	0.24	0.25	0.26
D	51.77	52.07	52.37
E	15.52	15.60	15.68
E1	14.56	14.66	14.76
e	2.54 BSC		
e1	16.39	16.77	17.15

单位：mm



尺寸 符号	SBDIP-40L		
	最小	典型	最大
A	3.91	4.15	4.39
A1	1.25	1.45	1.65
A2	2.60	2.70	2.80
A3	-	-	4.3
b	0.40	0.50	0.60
b1	1.10	1.20	1.30
c	0.15	0.25	0.35
D	50.70	50.80	-
E	14.75	15.00	15.25
E1	15.25	15.50	15.75
e	2.54BSC		

单位：mm



单位: mm

尺寸 符号	CLCC-44L		
	最小	典型	最大
A	1.80	2.00	2.20
b	0.555	0.635	0.715
D	16.33	16.51	16.82
E	16.33	16.51	16.82
e	1.27 BSC		
Lm	1.07	1.27	1.47