

HQ85RS2M 型铁电存储器

数据手册

1 产品特性

- ◆ 2-Mbit 铁电随机存取存储器(FRAM)，逻辑架构为 256K×8
 - 高持久性读写：100 亿次(10^{10})
 - 10 年数据保留
 - 无延迟写入
 - 先进的高可靠性铁电工艺
- ◆ 快速的串行外围器件接口(SPI)
 - 工作频率 25MHz
 - 支持 SPI 模式 0 (CPOL=0, CPHA=0) 和模式 3 (CPOL=1, CPHA=1)
 - 直接更换串行 FLASH 和 EEPROM
- ◆ 复杂的写保护方案
 - 使用写入保护引脚(\overline{WP})的硬件保护
- ◆ 低功耗
 - 动态电流：≤10.6mA(@25MHz)
 - 待机电流：≤150uA
- ◆ 典型工作电压：3.3V
- ◆ 工作温度范围：- 55°C≤T_A≤ + 125°C
- ◆ 储存温度范围：
 - - 55°C≤T_A≤ + 125°C (塑封产品)
 - - 65°C≤T_A≤ + 150°C (陶封产品)
- ◆ 推荐工作条件：
 - 工作电压范围：2.7V≤V_{DD}≤3.6V
 - 输入高电压：V_{DD}×0.8V≤V_{IH}≤V_{DD} + 0.3V
 - 输入低电压：- 0.3V≤V_{IL}≤ + 0.6V

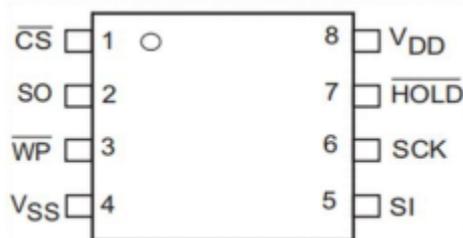
2 产品描述

HQ85RS2M 是一款基于先进铁电工艺的 2Mbit (逻辑架构为 256K×8bit) 非易失性铁电随机存取存储器 (FRAM)。HQ85RS2M 具有 10 年以上的可靠数据保留能力，存储单

元可用于 10^{10} 次读/写操作，读/写耐久性大大超过 FLASH 和 EEPROM。与串行 FLASH 和 EEPROM 不同，HQ85RS2M 在总线速度下执行写操作，不会发生写入延迟。在每个字节成功传输到器件后，数据将立即写入存储阵列，不会像 FLASH 或 EEPROM 那样需要很长的数据编程写入时间。HQ85RS2M 采用了高速 SPI 总线(支持 SPI 模式 0 和模式 3)，增强了 FRAM 技术的高速写入能力。

3 引脚分布

器件的引出端排列见图 1。



引脚序号	引脚符号	引脚功能描述
1	\overline{CS}	Chip Select 片选使能：输入引脚，低电平片选使能有效。当 \overline{CS} 为高电平时，器件进入低功耗待机模式，忽略其他输入，SO 输出为高阻态。当 \overline{CS} 为低电平时，器件处于激活状态。在每个操作码之前必须出现 \overline{CS} 下降沿。该片选使能引脚在芯片内部上拉至 V_{DD} 。
2	SO	Serial Output 串行输出：串行数据输出引脚。读取存储单元阵列和状态寄存器时输出数据。数据输出转换在 SCK 下降沿被驱动。在读取过程中驱动，并在所有其他时间保持高阻，包括 \overline{HOLD} 引脚为低电平时。
3	\overline{WP}	Write Protect 写保护：输入引脚，状态寄存器写保护控制信号。当 WPEN 设置为“1”时， \overline{WP} 为低电平时阻止对状态寄存器的写入操作。如果不使用写保护，此引脚必须连接到 V_{DD} 上。
4	VSS	器件接地。必须要连接到系统接地上。
5	SI	Serial Input 串行输入：串行数据输入引脚。用于输入操作码、地址和写数据。SI 引脚在 SCK 的上升沿被采样。
6	SCK	Serial Clock 串行时钟：串行时钟输入引脚。所有的 I/O 活动都被同步到串行时钟上。SI 引脚数据同步于 SCK 上升沿输入，SO 引脚的数据同步于 SCK 下降沿输出。
7	\overline{HOLD}	\overline{HOLD} 保持使能：输入引脚，低电平保持使能有效。在没有取消片选的情况下中断串行输入/输出。当 \overline{HOLD} 为低电平时，当前操作暂停，保持操作被激活，SO 成为高阻抗状态，该器件将忽略在 SCK 或 \overline{CS} 上的任何转换。在保持操作时， \overline{CS} 必须保留为“低”电平。 \overline{HOLD} 的所有转换，必须发生在 SCK 为低时。如果不使用，此引脚必须连接到 V_{DD} 上。
8	V_{DD}	器件电源输入。

图 1 引脚排列示意图及引脚描述

4 功能框图

HQ85RS2M 的主要功能模块包括 FRAM 单元阵列、行/列译码、与 SPI 串行接口关联的串并/并串转换器、控制电路、地址计算器、数据寄存器 and 状态寄存器等。其中 FRAM 单元阵列为 262144*8 bit。

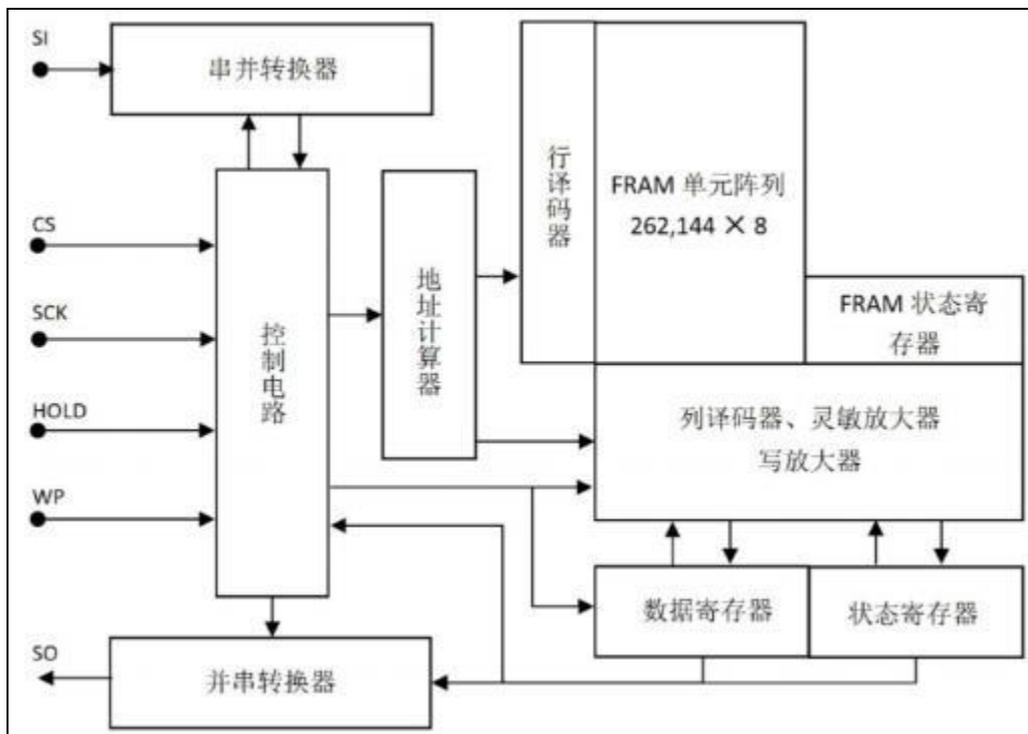


图 2 功能框图

5 SPI 接口模式

HQ85RS2M 的 SPI 接口支持两种模式之一运行：

- SPI 模式 0 (CPOL=0, CPHA=0)
- SPI 模式 3 (CPOL=1, CPHA=1)

对于这两种模式，输入数据在 \overline{CS} 激活后从第一个上升沿开始锁定在 SCK 的上升沿上。如果时钟从高状态开始（在模式 3 中），则考虑时钟切换后的第一个上升沿。输出数据可在 SCK 的下降沿获得。两种 SPI 模式总线不传输数据时的 SCK 时钟状态为：

- SPI 模式 0 时 SCK 保持为 0
- SPI 模式 3 时 SCK 保持为 1

当器件选择 \overline{CS} 引脚为低电平时，器件从 SCK 的状态检测 SPI 模式。如果在 \overline{CS} 选择器件时 SCK 引脚为低电平，则假定 SPI 模式 0；如果 SCK 引脚为高电平，则为 SPI 模式 3。

HQ85RS2M 的 SPI 接口支持模式 0(CPOL=0,CPHA=0)和模式 3(CPOL=1,CPHA=1)两种方式。

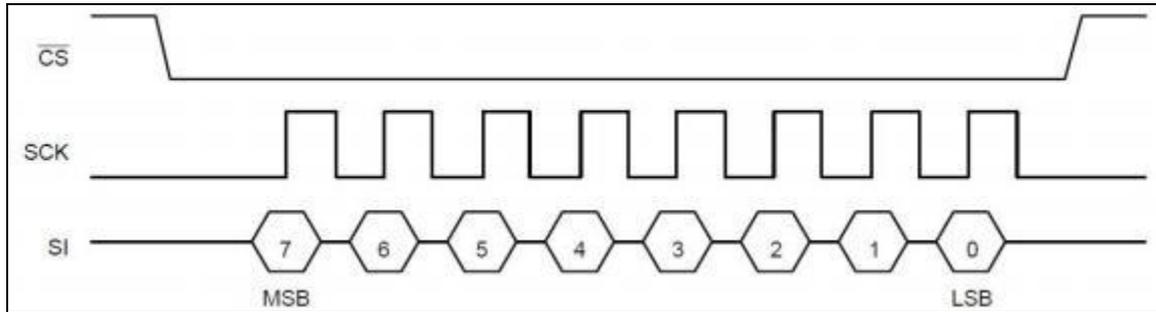


图 3 SPI模式0

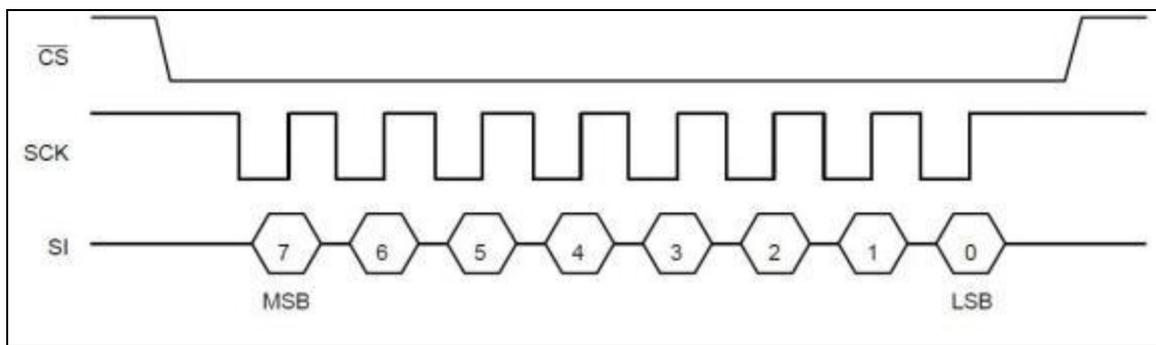


图 4 SPI模式3

6 SPI 接口应用

HQ85RS2M 是一个 SPI 从属器件。通过使用配备 SPI 端口的微控制器可以连接多个器件。使用没有配备 SPI 端口的微控制器，可以通过模拟 SPI 总线操作。

SPI 是具有四引脚接口：包括芯片选择(\overline{CS})、串行输入(SI)、串行输出(SO)和串行时钟(SCK)引脚。SPI 是一个同步串行接口，它使用时钟和数据引脚进行内存访问，并支持数据总线上的多个器件。器件的 SPI 总线使用 \overline{CS} 引脚激活。芯片选择、时钟和数据之间的关系由 SPI 模式决定。SPI 协议由操作码控制，这些操作码指定了从总线主器件到从属器件的命令。激活 \overline{CS} 后，从总线主机传输的第一个字节是操作码。在操作码之后，然后传输任何地址和数据。在操作完成后和可以发布新的操作码之前， \overline{CS} 必须处于非激活状态。

SPI 协议中常用术语如下：

- **SPI 主器件：**SPI 主器件控制 SPI 总线工作。一个 SPI 总线可能只有一个主器件和一个或多个从器件。所有从属器件共享相同的 SPI 总线线路，主器件可以使用 \overline{CS} 引脚选择任何从属器件。所有操作必须由主器件通过拉低从器件的 \overline{CS} 引脚，低电平激活从

器件启动。主器件还生成 SCK，所有在 SI 和 SO 线上的数据传输都与这个时钟同步。

➤ **SPI 从器件：**SPI 从属器件由主器件通过芯片选择引脚 \overline{CS} 进行激活。从器件从 SPI 主服务器获取 SCK 作为输入，所有通信都与 SCK 时钟同步。SPI 从器件不在 SPI 总线上启动通信，并且只对来自 SPI 主器件的指令进行操作。HQ85RS2M 作为 SPI 从器件工作，并且可以与其他 SPI 从器件共享 SPI 总线。

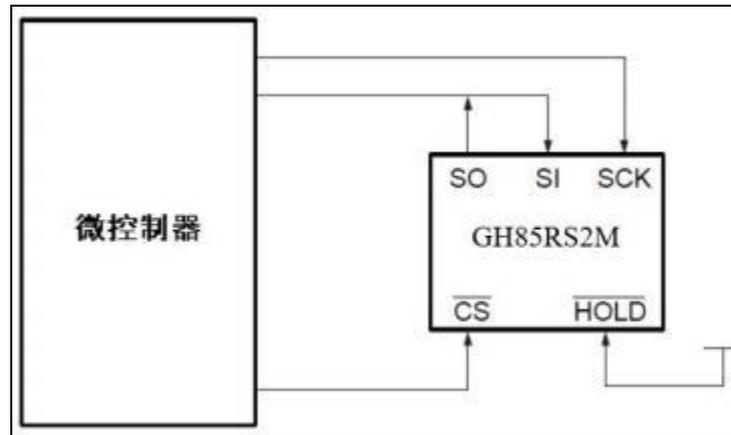


图 5 不使用SPI接口的应用系统配置

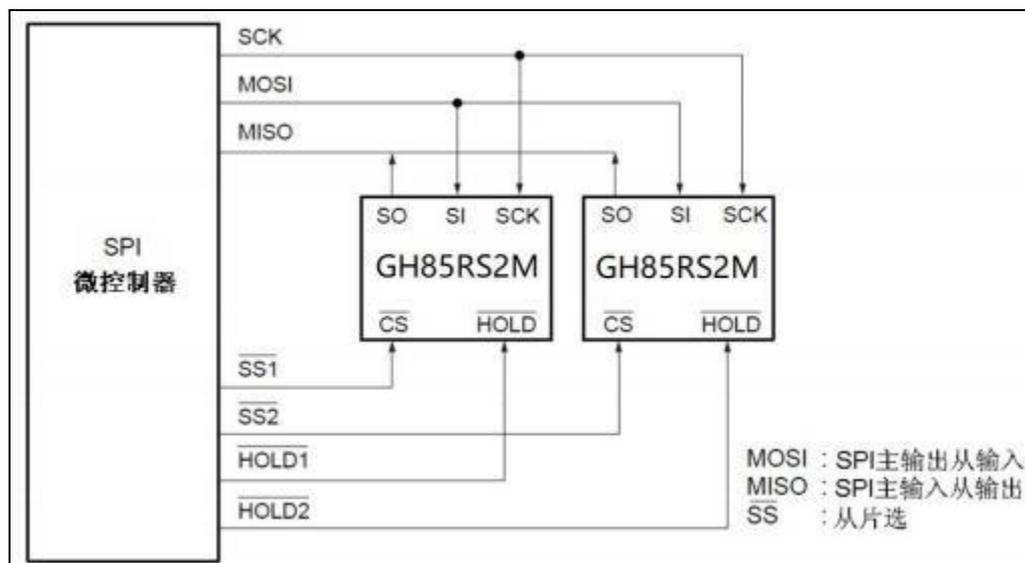


图 6 使用SPI接口的应用系统配置

7 状态寄存器

表 1 状态寄存器

位编号	位名称	功能描述
7	WPEN	状态寄存器写保护 该位由非易失性存储(FRAM)组成。WPEN 保护与 \overline{WP} 输入相关联的状态寄存器写入。该位可以使用WRSR 命令写入和使用RDSR 命令读取。
6~4	—	未使用位 这些位是由非易失性存储组成的位，可以使用WRSR 命令写入。这些位未使用，但可以使用RDSR 命令读取。
3	BP1	块保护
2	BP0	这些位由非易失性存储组成。定义 WRITE 命令的写保护块的大小。可以使用WRSR 命令写入和使用RDSR 命令读取。
1	WEL	写使能锁存位 该位用于表征 FRAM 阵列和状态寄存器的可写状态。WREN 命令用于置位，而 WRDI 命令用于复位。使用RDSR 命令可以读取，但用 WRSR 命令不能写入。WEL 会在以下操作之后复位。 打开电源后； WRDI 命令识别后； WRSR 命令识别后 \overline{CS} 的上升沿； WRITE 命令识别后 \overline{CS} 的上升沿。
0	0	固定为“0”的位

8 操作码

HQ85RS2M 接受操作码指定的9类命令，可以由总线主器件发出给 HQ85RS2M。操作码控制着由存储器所执行的功能。操作码是 8 位代码，如下表所示。不要输入这些代码以外的其他无效代码。如果 \overline{CS} 在输入操作码时上升，则不会执行命令。

表 2 SPI 操作码

名称	描述	操作码
WREN	设置写使能锁存位	0000 0110b
WRDI	复位写使能锁存位	0000 0100b
RDSR	读状态寄存器	0000 0101b
WRSR	写状态寄存器	0000 0001b
READ	存储阵列读操作命令	0000 0011b
WRITE	存储阵列写操作命令	0000 0010b
RDID	读取器件 ID	1001 1111b
SLEEP	进入休眠模式	1011 1001b

9 命令

9.1 WREN

WREN 命令设置 WEL（写使能锁存位）。WEL 的设置需要在写操作（WRSR 命令和 WRITE 命令）之前使用 WREN 命令进行。

HQ85RS2M 上电后，写入是禁用的。必须在执行任何写操作之前先发出 WREN 命令。发送 WREN 操作码即允许用户为写操作发出后续操作码，其中包括写入状态寄存器(WRSR)和写入存储阵列（WRITE）。发送 WREN 操作码将开启内部写入使能锁（WEL）。状态寄存器中命名为 WEL 的标志位表示锁定状态，WEL='1'表示允许写入，WEL 只能被 WREN 操作码置为 1，其它写入操作不能改写 WEL。在执行 WRDI、WRSR 或 WRITE 操作之后，WEL 位将自动在 \overline{CS} 的上升沿被清零，这将防止在没有再次发送 WREN 命令的情况下进一步改写状态寄存器或 FRAM 阵列。

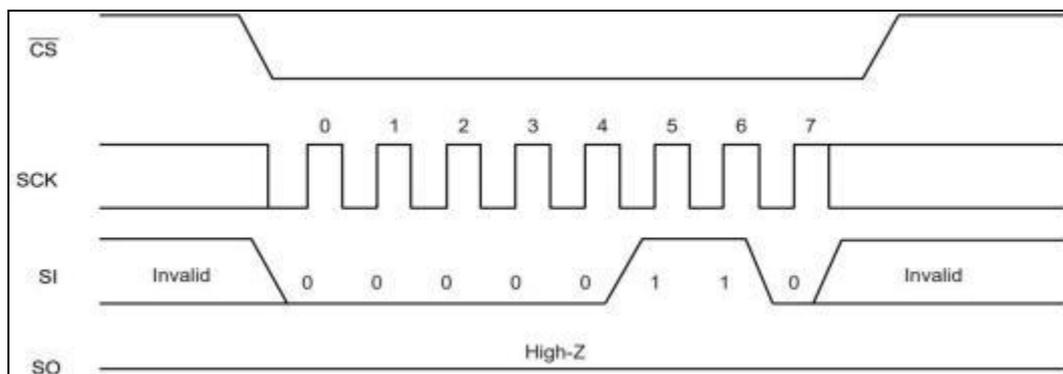


图 7 WREN时序

9.2 WRDI

WRDI 命令复位 WEL（写使能锁存位）。在 WEL 被 WRDI 命令复位后，写操作（WRITE 命令和 WRSR 命令）不会被执行。

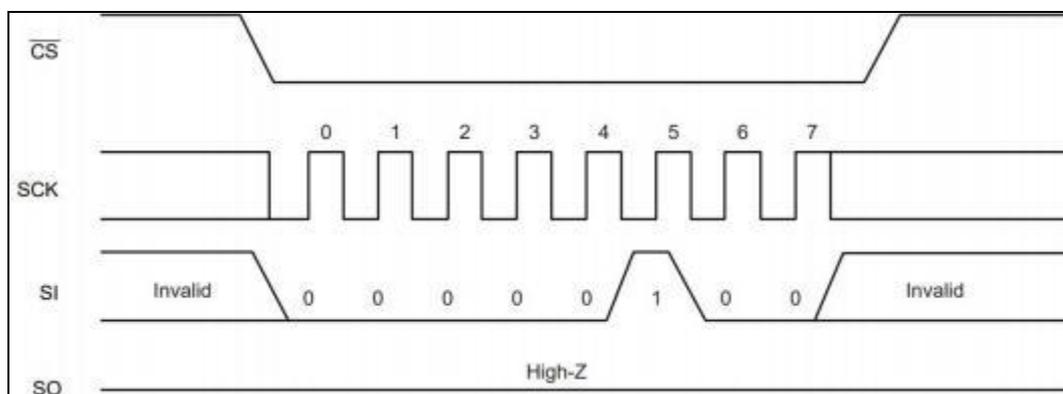


图 8 WRDI时序

9.3 RDSR

RDSR 命令读取状态寄存器数据。当 RDSR 的操作码输入 SI 之后，再 8 周期时钟输入 SCK，此时对应 SI 值无效。SO 则在 SCK 的下降沿同步输出。在 RDSR 命令中，可通过在 \overline{CS} 上升前连续发送 SCK 启用状态寄存器的重复读。

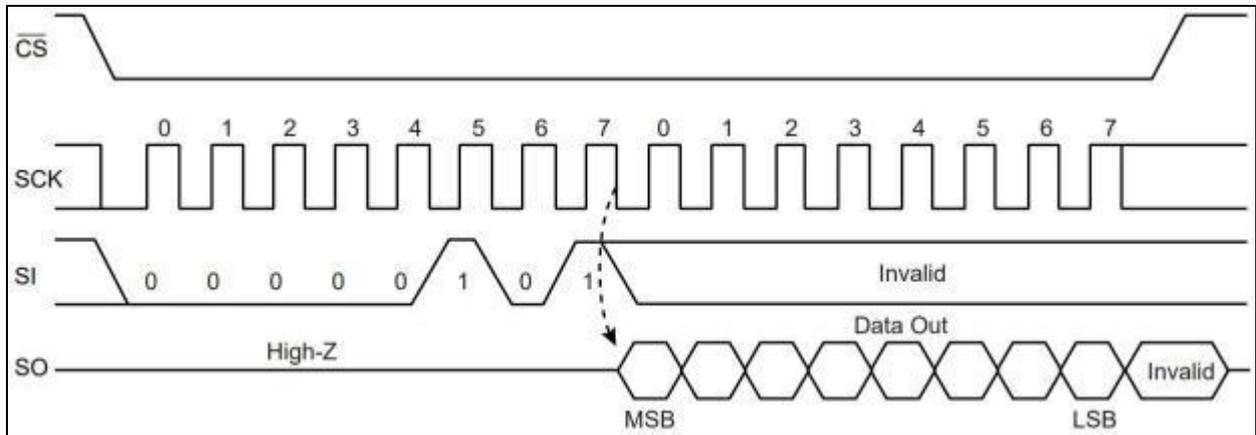


图 9 RDSR时序

9.4 WRSR

WRSR 命令将数据写入状态寄存器的非易失性存储位。对 SI 引脚执行 WRSR 之后，输入 8 位写入数据。

WEL（写使能锁存位）无法使用 WRSR 命令写入。与状态寄存器的位 1 通信的 SI 值被忽略。状态寄存器的位 0 固定为“0”且无法写入，即与位 0 通信的 SI 值被忽略。执行 WRSR 之前应固定 \overline{WP} 信号电平，并且在命令序列结束前不能改变 \overline{WP} 信号电平。

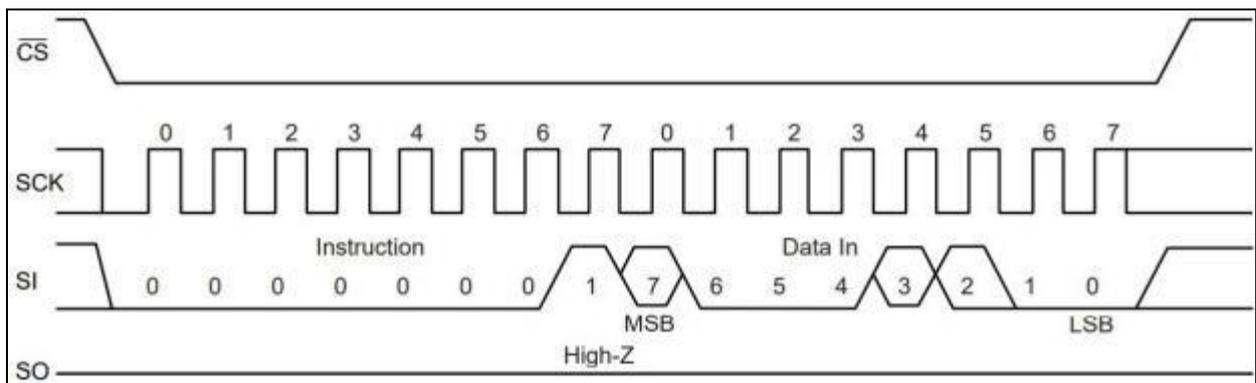


图 10 WRSR时序

9.5 READ

READ 命令读取 FRAM 存储阵列数据。READ 的操作码和任意 24 位地址（其中高 6 位无效）输入 SI，然后输入 8 个时钟周期的 SCK，SCK 的下降沿同步输出 SO。读取时，

SI 值无效。当 \overline{CS} 上升时，READ 命令完成。但在 \overline{CS} 上升之前，可以通过以 8 周期为单位连续发送时钟到 SCK，实现以地址自动递增的方式持续读取 FRAM 数据。当到达最高位地址时翻转到起始地址，并无限保持读取周期。

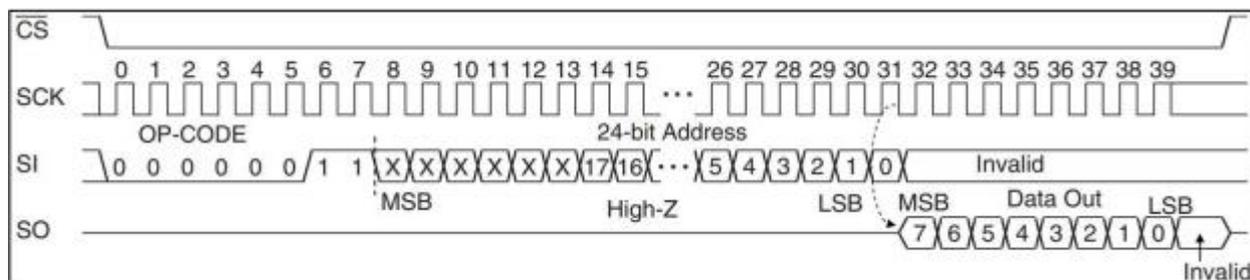


图 11 READ时序

9.6 WRITE

WRITE 命令将数据写入 FRAM 存储阵列。WRITE 操作码、任意 24 位地址（其中高 6 位无效）和 8 位写入数据输入到 SI，其中高 6 位地址无效。当输入 8 位写入数据时，数据写入 FRAM 存储阵列。 \overline{CS} 上升将终止 WRITE 命令，但如果每个 \overline{CS} 上升之前继续发送 8 位写入数据，则可以使用自动递增地址继续写入。当到达最高位地址时翻转到起始地址，写周期将无限继续下去。

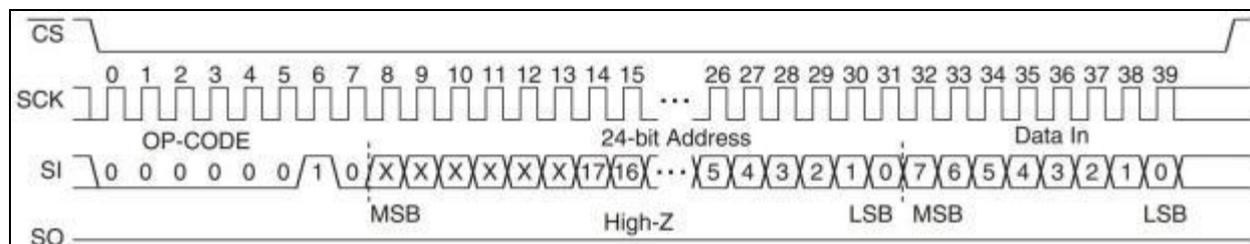


图 12 WRITE时序

9.7 RDID

RDID 命令读出设备序列号。向芯片发送 RDIO 命令之后,然后发送 32 个时钟,此时 SI 无效。从第 8 个时钟的下降沿开始,从 SO 接口同步输出数据。具体内容为 4 个字节数据。

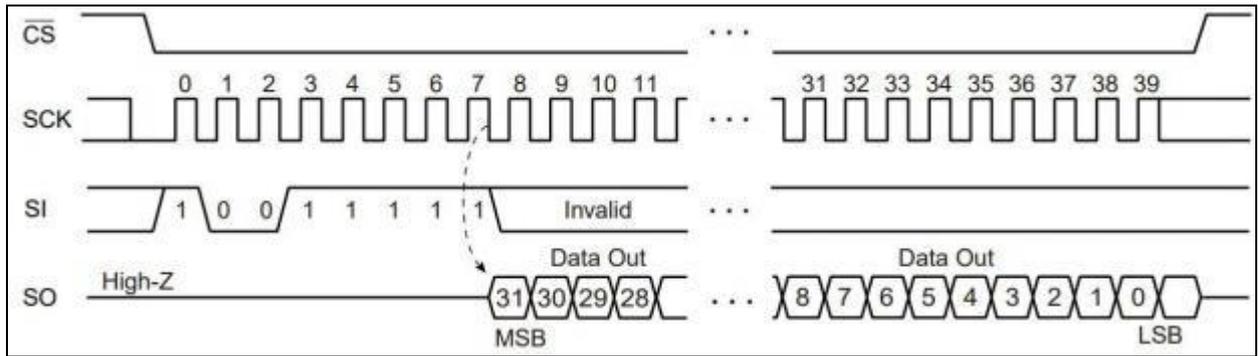


图 13 RDID时序

9.8 SLEEP

SLEEP 命令可以将芯片设置为睡眠模式。在 SLEEP 命令的操作码执行之后， \overline{CS} 的上升沿，芯片进入睡眠模式。但是，在操作码之后，在将 \overline{CS} 引脚拉高之前，只要有一个时钟周期的时钟输入，将会取消执行 SLEEP 命令。

一旦进入睡眠模式，SCK 引脚及 SI 引脚的输入则视为无效，SO 驱动为 HiHQ-Z。

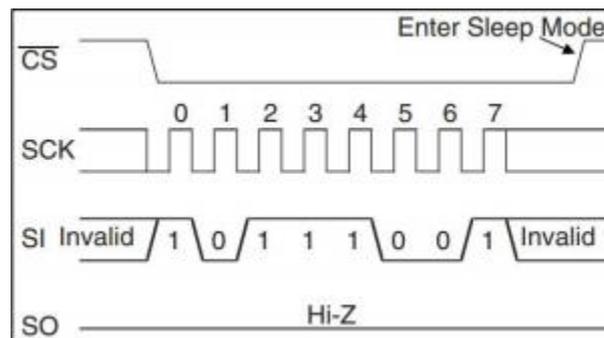


图 14 SLEEP时序（进入睡眠模式）

在 \overline{CS} 下降沿之后的 t_{REC} (最大 1 微秒) 时间内，芯片将退出睡眠模式。

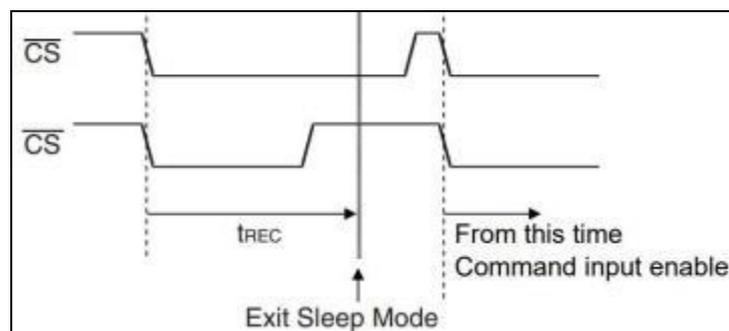


图 15 睡眠模式的退出

9.9 写保护

WRITE 命令及 WRSR 命令的写操作被保护状态与 WEL、WPEN、 \overline{WP} 取值的对应关系如下表所示。

表 3 写保护真值表

WEL	WPEN	WP	受保护块	不受保护块	状态寄存器
0	X	X	保护	保护	保护
1	0	X	保护	不保护	不保护
1	1	0	保护	不保护	保护
1	1	1	保护	不保护	不保护

9.10 保持操作

当 \overline{CS} 为低电平时，如果将 \overline{HOLD} 置于低电平，器件进入保持状态，即当前命令不会被中止。保持状态的起始取决于当 \overline{HOLD} 引脚输入转换到保持条件时 SCK 是高电平还是低电平，如下图所示。在 SCK 为低电平时 \overline{HOLD} 引脚转换为低电平的情况下，须在 SCK 为低电平时将 \overline{HOLD} 引脚返回到高电平。以此类推，在 SCK 为高电平时 \overline{HOLD} 引脚转换为低电平的情况下，须在 SCK 为高电平时将 \overline{HOLD} 引脚返回到高电平。任意命令操作在保持状态时都会中断，SCK 和 SI 输入变为被忽略。在读取命令(RDSR, READ)时，保持状态下的 SO 变为高阻抗(HiHQ-Z)。如果 \overline{CS} 在保持状态期间上升，则命令会中止。在命令识别前即被中止的情况下，WEL 保持为转换到 \overline{HOLD} 状态之前的值。

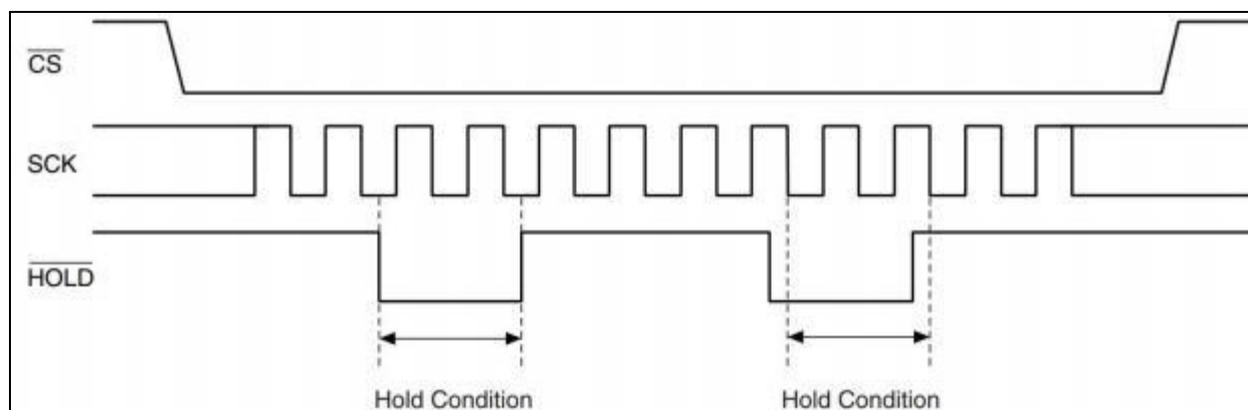


图 16 保持操作时序

9.11 电气特性

表 4 直流特性

参数	符号	条件	最小值	最大值	单位
输出高电压	V_{OH}	$I_{OH} = -1\text{mA}$	$V_{DD} \times 0.8$	—	V
输出低电压	V_{OL}	$I_{OL} = 2\text{mA}$	—	0.4	V
输入高电压	V_{IH}	$V_{DD} = 2.7\text{V to } 3.6\text{V}$	$0.8 \times V_{DD}$	$V_{DD} + 0.3$	V
输入低电压	V_{IL}	$V_{DD} = 2.7\text{V to } 3.6\text{V}$	-0.5	0.6	V
工作电流	I_{DD}	$SCK = 25\text{MHz}$, $SO = \text{open}$	—	10.6	mA
静态电流	I_{SB}	$SCK = SI = \overline{CS} = V_{DD}$	—	150	μA
输入漏电	I_{IL}	$\overline{CS} = V_{DD}$; \overline{WP} , \overline{HOLD} , SCK , $SI = 0\text{V to } V_{DD}$	-10	10	μA
输出漏电	I_{OL}	$V_{out} = 0\text{V to } V_{DD}$	-10	10	μA
\overline{CS} 上拉电阻	R_P	内部上拉电阻, 非测试值	18	80	$\text{k}\Omega$

表 5 交流特性

参数	符号	条件	最小值	最大值	单位
SCK 时钟频率	f_{CK}		0	25	MHz
时钟高时间	t_{CH}		18	—	ns
时钟低时间	t_{CL}		18	—	ns
芯片选择设置时间	t_{CSU}		10	—	ns
芯片选择保持时间	t_{CSH}		10	—	ns
输出禁用时间	t_{OD}		—	20	ns
输出数据有效时间	t_{ODV}		—	18	ns
输出保持时间	t_{OH}		0	—	ns
取消选择时间	t_D		60	—	ns
数据上升时间	t_R		—	50	ns
数据下降时间	t_F		—	50	ns
数据设置时间	t_{SU}		5	—	ns
数据保持时间	t_H		5	—	ns
\overline{HOLD} 设置时间	t_{HS}		10	—	ns
\overline{HOLD} 保持时间	t_{HH}		10	—	ns
\overline{HOLD} 输出禁用时间	t_{HZ}		—	20	ns
\overline{HOLD} 输出使能时间	t_{LZ}		—	20	ns

表 6 端口电容

参数	符号	条件	最小值	最大值	单位
输出端口电容	CO	$V_{DD}=V_{IN}=V_{OUT}=0V$, $f=1MHz$, $T_A=+25^{\circ}C$	—	10	pF
输入端口电容	CI		—	10	pF

9.12 时序图

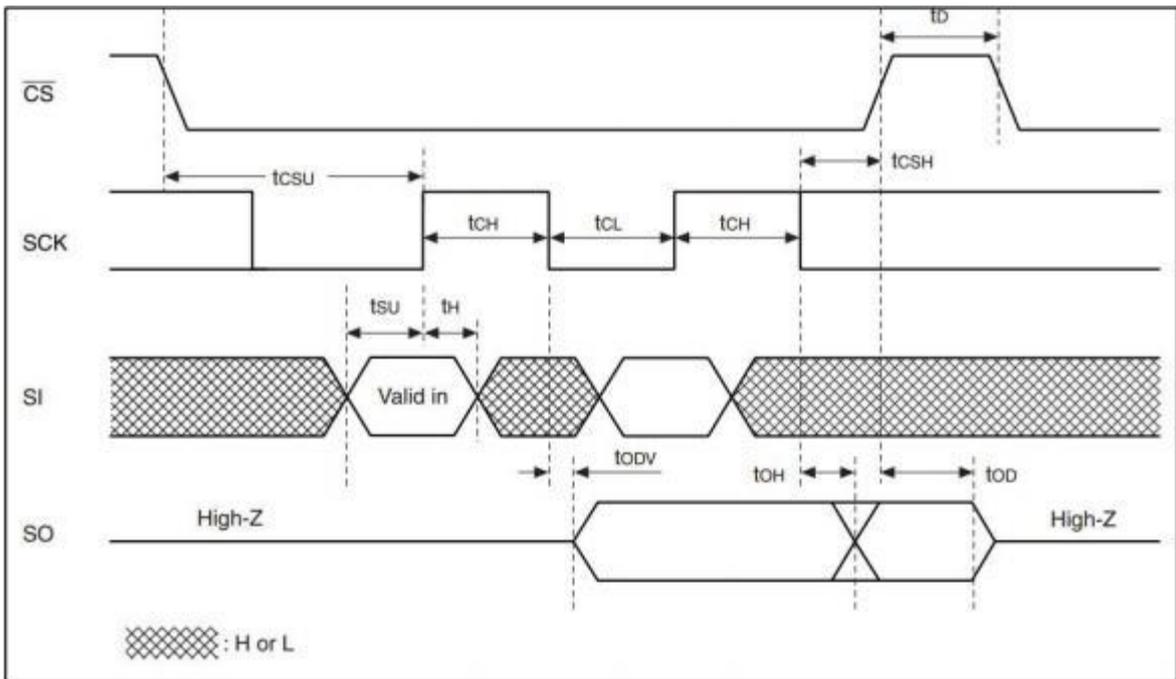


图 17 串行数据时序

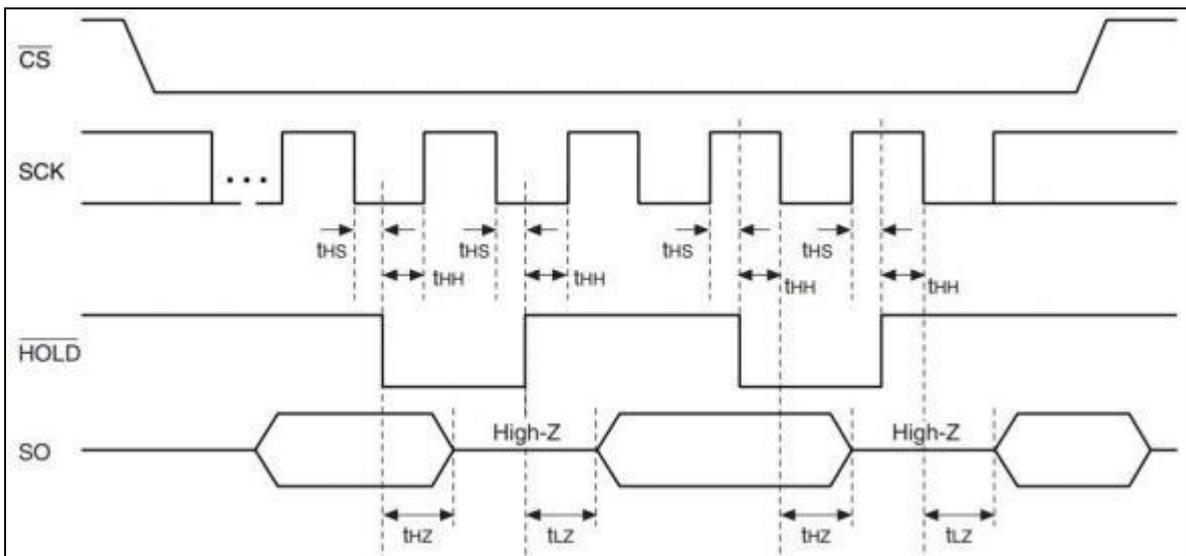
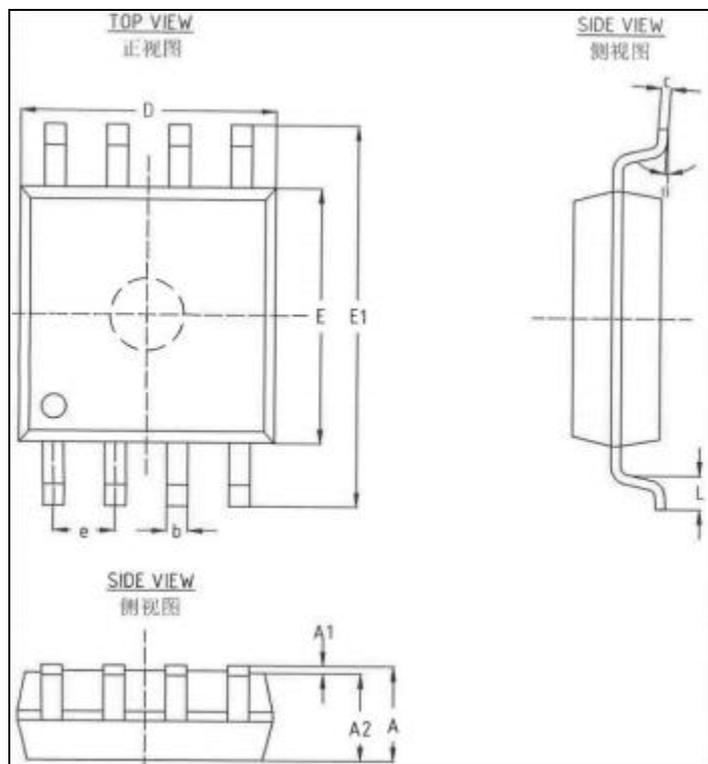


图 18 保持时序

10 封装信息

10.1 塑料封装 P-SOP8

该器件 P-SOP8 封装外形及尺寸如下所示，图示单位为毫米（mm）。

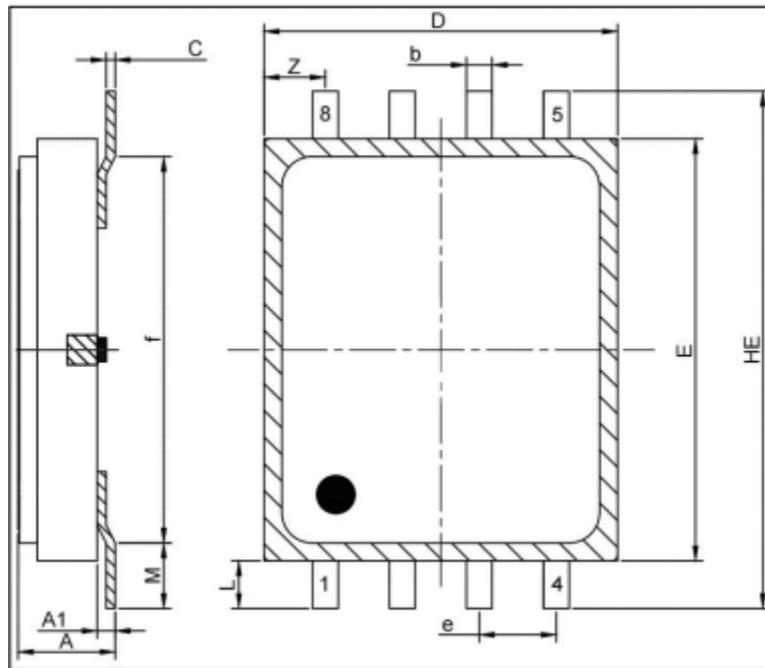


符号	尺寸				符号	尺寸			
	最小值	公称值	最大值	单位		最小值	公称值	最大值	单位
A	-	-	2.15	mm	E	5.18	5.28	5.38	mm
A1	0.05	-	0.25	mm	E1	7.70	7.90	8.10	mm
A2	1.70	1.80	1.90	mm	e	-	1.27	-	mm
b	0.41	-	0.50	mm	L	0.50	-	0.85	mm
c	0.19	-	0.25	mm	θ	0	-	8	度
D	5.13	5.23	5.33	mm	-	-	-	-	-

图 19 塑封 P-SOP8 外形尺寸示意图

10.2 陶瓷封装 C-SOP8

该器件 C-SOP8 封装外形及尺寸如下所示，图示单位为毫米（mm）。



符号	尺寸				符号	尺寸			
	最小值	公称值	最大值	单位		最小值	公称值	最大值	单位
A	1.70	1.90	2.10	mm	Z	0.85	1.10	1.25	mm
A1	0.15	0.30	0.45	mm	D	5.69	5.90	6.11	mm
b	0.35	0.40	0.45	mm	E	6.89	7.10	7.31	mm
c	0.10	0.15	0.20	mm	HE	7.90	8.10	8.30	mm
e	1.22	1.27	1.32	mm	L	0.40	0.50	0.60	mm
f	6.05	6.35	6.65	mm	M	0.65	0.75	0.85	mm

图 20 陶封 C-SOP8 外形尺寸示意图

11 订购指南

订货型号	温度范围	质量等级	封装形式
HQ85RS2M-MB-C-SOP8	-55°C~ +125°C	GJB 597B -B 级	C-SOP8
HQ85RS2M-MM1-P-SOP8	-55°C~ +125°C	GJB 10164 -M1 级	P-SOP8
HQ85RS2M-DM1-P-SOP8	-55°C~ +105°C	GJB 10164 -M1 级	P-SOP8
HQ85RS2M-EM2-P-SOP8	-40°C~ +85°C	GJB 10164 -M2 级	P-SOP8